



**ANALOG
DEVICES**

**单通道、12/16位、串行输入、4 mA至20 mA
电流源DAC**

AD5410/AD5420

特性

12/16位分辨率和单调性

电流输出范围：4 mA至20 mA、0 mA至20 mA或0 mA至24 mA

总非调整误差(TUE)：±0.01% FSR(典型值)

输出温漂：±3 ppm/°C(典型值)

灵活的串行数字接口

片内输出故障检测

片内基准电压源(最大温漂10 ppm/°C)

输出电流的反馈和监控

异步清零功能

电源(AV_{DD})范围

10.8 V至40 V；AD5410AREZ/AD5420AREZ

10.8 V至60 V；AD5410ACPZ/AD5420ACPZ

输出环路顺从电压： $AV_{DD} - 2.5\text{ V}$

温度范围：-40°C至+85°C

24引脚TSSOP和40引脚LFCSP封装

应用

过程控制

执行器控制

PLC

HART网络连接

概述

AD5410/AD5420是低成本、精密、完全集成的12/16位转换器，提供可编程电流源输出，可满足工业过程控制应用的需求。输出电流范围可编程设置为4 mA至20 mA、0 mA至20 mA或者0 mA至24 mA的超量程。输出具有开路保护功能。该器件采用10.8 V至60 V的电源(AV_{DD})供电。输出环路电源电压限制在0 V至 $AV_{DD} - 2.5\text{ V}$ 。

灵活的串行接口为SPI、MICROWIRE™、QSPI™和DSP兼容接口，可在三线式模式下工作，最小化了隔离应用中所需的数字隔离电路降至最少。

该器件还包含一个确保器件在已知状态下上电的上电复位功能，以及一个将输出设定为所选电流范围低端的异步清零(CLEAR)引脚。

总非调整误差典型值为±0.01% FSR。

配套产品

HART调制解调器：AD5700、AD5700-1

功能框图

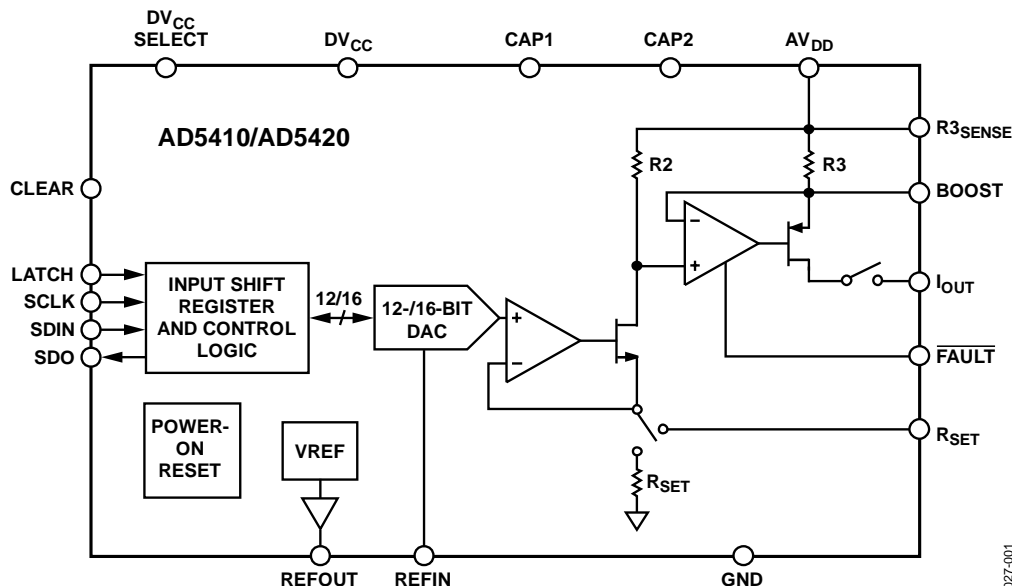


图1.

Rev. E

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2009–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性..... 1

应用..... 1

概述..... 1

配套产品..... 1

功能框图..... 1

修订历史..... 2

技术规格..... 3

 交流工作特性..... 5

 时序特性..... 5

绝对最大额定值..... 7

 ESD警告..... 7

引脚配置和功能描述..... 8

典型性能参数..... 10

术语..... 15

工作原理..... 16

 架构..... 16

 串行接口..... 16

 上电状态..... 19

 传递函数..... 19

 数据寄存器..... 19

 控制寄存器..... 19

 复位寄存器..... 20

 状态寄存器..... 20

修订历史

2013年3月—修订版D至修订版E

更改表4..... 7

增加图40，重新排序..... 19

更改表10..... 20

更改散热和电源考量部分及表21..... 27

更新外形尺寸..... 29

2012年5月—修订版C至修订版D

重新组织布局..... 通篇

更改产品名称..... 1

增加“配套产品”部分；更改“特性”部分和“应用”部分..... 1

更改表5..... 9

更改图8..... 11

增加“HART通信”部分和图41，重新排序..... 21

更改“兼容工业HART的模拟输出应用”部分和图54..... 27

2011年11月—修订版B至修订版C

AD5410/AD5420特性..... 21

 故障报警..... 21

 异步清零(CLEAR)..... 21

 内部基准电压源..... 21

 外部电流设置电阻..... 21

 数字电源..... 21

 外部增强功能..... 21

 HART通信..... 22

 数字压摆率控制..... 22

 I_{OUT}滤波电容..... 24

 输出电流的反馈和监控..... 24

应用信息..... 26

 驱动感性负载..... 26

 瞬态电压保护..... 26

 布局指南..... 26

 电流隔离接口..... 26

 微处理器接口..... 27

 散热和电源考量..... 27

 兼容工业HART的模拟输出应用..... 28

外形尺寸..... 29

 订购指南..... 29

更改表10..... 18

2010年2月—修订版A至修订版B

修改图46..... 23

2009年8月—修订版0至修订版A

修改特性和概述部分..... 1

修改表1..... 3

修改表2..... 5

修改表4说明和表4..... 7

增加图6，修改图5和表5..... 8

增加输出电流的反馈/监控部分，包括图45至图47；
重排后续各图的编号..... 23

修改散热和电源考虑部分及表21..... 26

更新外形尺寸..... 28

修改订购指南..... 28

2009年3月—修订版0：初始版

技术规格

$AV_{DD} = 10.8\text{ V}$ 至 26.4 V ， $GND = 0\text{ V}$ ， $REFIN = 5\text{ V}$ 外部基准电压， $DV_{CC} = 2.7\text{ V}$ 至 5.5 V ， $R_{LOAD} = 300\ \Omega$ ；除非另有说明，所有规格在 T_{MIN} 至 T_{MAX} 范围。

表1.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
输出电流范围	0		24	mA	
	0		20	mA	
	4		20	mA	
精度(内部 R_{SET})					
分辨率	16			位	AD5420
	12			位	AD5410
总非调整误差(TUE)	-0.3		+0.3	% FSR	AD5420
	-0.13	±0.08	+0.13	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.5		+0.5	% FSR	AD5410
相对精度(INL) ²	-0.3	±0.15	+0.3	% FSR	AD5410, $T_A = 25^\circ\text{C}$
	-0.024		+0.024	% FSR	AD5420
	-0.032		+0.032	% FSR	AD5410
差分非线性(DNL)	-1		+1	LSB	保证单调性
失调误差	-0.27		+0.27	% FSR	
	-0.12	±0.08	+0.12	% FSR	$T_A = 25^\circ\text{C}$
失调误差温度系数(TC) ³		±16		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.18		+0.18	% FSR	AD5420
	-0.03	±0.006	+0.03	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.22		+0.22	% FSR	AD5410
	-0.06	±0.012	+0.06	% FSR	AD5410, $T_A = 25^\circ\text{C}$
增益误差温度系数(TC) ³		±10		ppm FSR/ $^\circ\text{C}$	
满量程误差	-0.2		+0.2	% FSR	
	-0.1	±0.08	+0.1	% FSR	$T_A = 25^\circ\text{C}$
满量程误差温度系数(TC) ³		±12		ppm FSR/ $^\circ\text{C}$	
精度(外部 R_{SET})					假设理想15 k Ω 电阻
分辨率	16			位	AD5420
	12			位	AD5410
总非调整误差(TUE)	-0.15		+0.15	% FSR	AD5420
	-0.06	±0.01	+0.06	% FSR	AD5420, $T_A = 25^\circ\text{C}$
	-0.3		+0.3	% FSR	AD5410
	-0.1	±0.02	+0.1	% FSR	AD5410, $T_A = 25^\circ\text{C}$
相对精度(INL) ²	-0.012		+0.012	% FSR	AD5420
	-0.032		+0.032	% FSR	AD5410
差分非线性(DNL)	-1		+1	LSB	保证单调性
失调误差	-0.1		+0.1	% FSR	
	-0.03	±0.006	+0.03	% FSR	$T_A = 25^\circ\text{C}$
失调误差温度系数(TC) ³		±3		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.08		+0.08	% FSR	
	-0.05	±0.003	+0.05	% FSR	$T_A = 25^\circ\text{C}$
增益误差温度系数(TC) ³		±4		ppm FSR/ $^\circ\text{C}$	
满量程误差	-0.15		+0.15	% FSR	
	-0.06	±0.01	+0.06	% FSR	$T_A = 25^\circ\text{C}$
满量程误差温度系数(TC) ³		±7		ppm FSR/ $^\circ\text{C}$	
输出特性 ³					
电流环路顺从电压	0		$AV_{DD} - 2.5$	V	
输出电流漂移与时间的关系		50		ppm FSR	内部 R_{SET} ，125 $^\circ\text{C}$ 下1000小时后漂移
		20		ppm FSR	外部 R_{SET} ，125 $^\circ\text{C}$ 下1000小时后漂移
阻性负载			1200	Ω	
感性负载		50		mH	$T_A = 25^\circ\text{C}$
直流电源抑制比(PSRR)			1	$\mu\text{A/V}$	

AD5410/AD5420

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
输出阻抗		50		MΩ	
输出电流泄漏		60		pA	输出禁用
R3电阻值	36	40	44	Ω	T _A = 25°C
R3电阻温度系数(TC)		30		ppm/°C	
I _{BIAS} 电流	399	444	489	μA	
I _{BIAS} 电流温度系数(TC)		30		ppm/°C	
基准电压输入/输出					
基准电压输入³					
基准输入电压	4.95	5	5.05	V	额定性能
直流输入阻抗	25	30		kΩ	
基准电压输出					
输出电压	4.995	5.000	5.005	V	T _A = 25°C
基准电压TC ^{3,4}		1.8	10	ppm/°C	
输出噪声(0.1 Hz至10 Hz) ³		18		μV p-p	
噪声频谱密度 ³		100		nV/√Hz	@ 10 kHz
输出电压漂移与时间的关系 ³		50		ppm	1000小时后漂移, T _A = 125°C
容性负载 ³		600		nF	
负载电流 ³		5		mA	
短路电流 ³		7		mA	
负载调整率 ³		95		ppm/mA	
数字输入³					符合JEDEC标准
输入高电压V _{IH}	2			V	
输入低电压V _{IL}			0.8	V	
输入电流	-1		+1	μA	每引脚
引脚电容		10		pF	每引脚
数字输出³					
SDO					
输出低电压V _{OL}			0.4	V	200 μA吸电流
输出高电压V _{OH}	DV _{CC} - 0.5			V	200 μA源电流
高阻抗漏电流	-1		+1	μA	
高阻抗输出电容		5		pF	
FAULT					
输出低电压V _{OL}			0.4	V	10 kΩ上拉电阻接DV _{CC}
输出低电压V _{OL}		0.6		V	2.5 mA负载电流
输出高电压V _{OH}	3.6			V	10 kΩ上拉电阻接DV _{CC}
电源要求					
AV_{DD}	10.8	40		V	TSSOP封装
	10.8		60	V	LFCSP封装
DV_{CC}					
输入电压	2.7		5.5	V	内部电源禁用
输出电压		4.5		V	可采用最高5.5 V电源过驱DV _{CC}
输出负载电流 ³		5		mA	
短路电流 ³		20		mA	
AI_{DD}			3	mA	输出禁用
			4	mA	输出使能
DI_{CC}			1	mA	V _{IH} = DV _{CC} , V _{IL} = GND
功耗		144		mW	AV _{DD} = 40 V, I _{OUT} = 0 mA
		50		mW	AV _{DD} = 15 V, I _{OUT} = 0 mA

¹ 温度范围: -40°C至+85°C, 典型值+25°C。

² 对于0 mA至20 mA和0 mA至24 mA范围, INL采用码256 (AD5420)和码16 (AD5410)测量。

³ 过设计和表征保证, 未经生产测试。

⁴ 片内基准电压源在25°C和85°C进行生产调整和测试; 表征温度范围-40°C至+85°C。

交流工作特性

$AV_{DD} = 10.8\text{ V}$ 至 26.4 V ， $GND = 0\text{ V}$ ， $REFIN = 5\text{ V}$ 外部基准电压， $DV_{CC} = 2.7\text{ V}$ 至 5.5 V ， $R_{LOAD} = 300\ \Omega$ ；除非另有说明，所有规格在 T_{MIN} 至 T_{MAX} 范围。

表2.

参数 ¹	最小值典型值最大值	单位	测试条件/注释
动态性能			
输出电流建立时间 ²	10	μs	16 mA步进，至0.1% FSR
	40	μs	16 mA步进，至0.1% FSR， $L = 1\text{ mH}$
AC PSRR	-75	dB	200 mV、50 Hz/60 Hz正弦波叠加于电源电压上

¹ 通过设计和表征保证，未经生产测试。

² 数字压摆率控制特性禁用， $CAP1 = CAP2 =$ 开路。

时序特性

$AV_{DD} = 10.8\text{ V}$ 至 26.4 V ， $GND = 0\text{ V}$ ， $REFIN = 5\text{ V}$ 外部基准电压， $DV_{CC} = 2.7\text{ V}$ 至 5.5 V ， $R_{LOAD} = 300\ \Omega$ ；除非另有说明，所有规格在 T_{MIN} 至 T_{MAX} 范围。

表3.

参数 ^{1, 2, 3}	T_{MIN} 、 T_{MAX} 时的限值	单位	描述
写入模式			
t_1	33	ns，最小值	SCLK周期时间
t_2	13	ns，最小值	SCLK低电平时间
t_3	13	ns，最小值	SCLK高电平时间
t_4	13	ns，最小值	LATCH延迟时间
t_5	40	ns，最小值	LATCH高电平时间
t_5	5	μs ，最小值	对控制寄存器执行一次写操作后的LATCH高电平时间
t_6	5	ns，最小值	数据建立时间
t_7	5	ns，最小值	数据保持时间
t_8	40	ns，最小值	LATCH低电平时间
t_9	20	ns，最小值	CLEAR脉冲宽度
t_{10}	5	μs ，最大值	CLEAR激活时间
回读模式			
t_{11}	90	ns，最小值	SCLK周期时间
t_{12}	40	ns，最小值	SCLK低电平时间
t_{13}	40	ns，最小值	SCLK高电平时间
t_{14}	13	ns，最小值	LATCH延迟时间
t_{15}	40	ns，最小值	LATCH高电平时间
t_{16}	5	ns，最小值	数据建立时间
t_{17}	5	ns，最小值	数据保持时间
t_{18}	40	ns，最小值	LATCH低电平时间
t_{19}	35	ns，最小值	串行输出延迟时间($C_{LSDO} = 50\text{ pF}$) ⁴
t_{20}	35	ns，最小值	LATCH上升沿至SDO三态
菊花链模式			
t_{21}	90	ns，最小值	SCLK周期时间
t_{22}	40	ns，最小值	SCLK低电平时间
t_{23}	40	ns，最小值	SCLK高电平时间
t_{24}	13	ns，最小值	LATCH延迟时间
t_{25}	40	ns，最小值	LATCH高电平时间
t_{26}	5	ns，最小值	数据建立时间
t_{27}	5	ns，最小值	数据保持时间
t_{28}	40	ns，最小值	LATCH低电平时间
t_{29}	35	ns，最大值	串行输出延迟时间($C_{LSDO} = 50\text{ pF}$) ⁴

¹ 通过表征保证，未经生产测试。

² 所有输入信号均指定 $t_R = t_F = 5\text{ ns}$ (10%到90%的 DV_{CC})并从1.2 V电平起开始计时。

³ 参见图2、图3和图4。

⁴ C_{LSDO} = SDO输出端的容性负载。

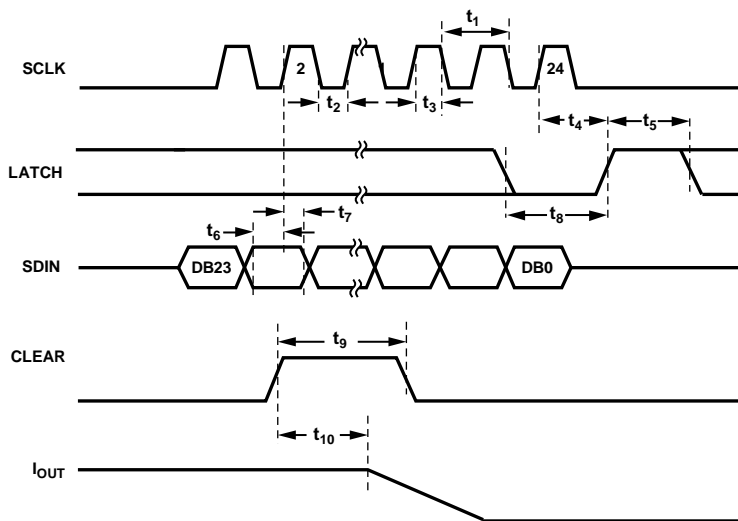


图2. 写入模式时序图

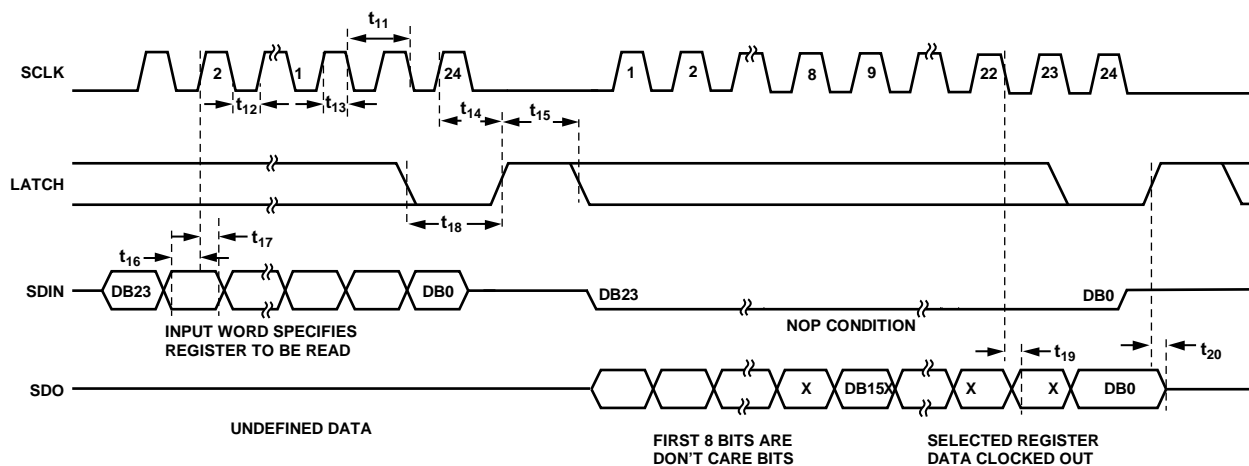


图3. 回读模式时序图

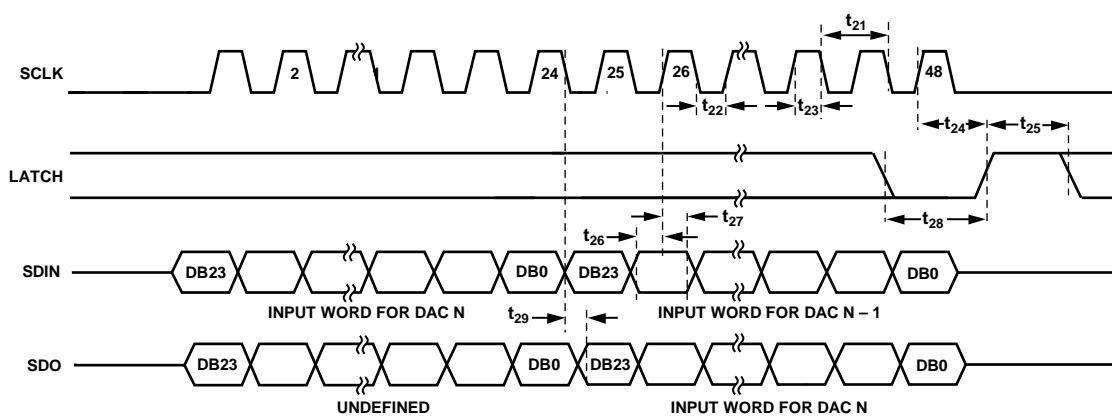


图4. 菊花链模式时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。高达80 mA的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
AV_{DD} 至GND	-0.3 V至+60 V
DV_{CC} 至GND	-0.3 V至+7 V
数字输入至GND	-0.3 V至 $DV_{CC} + 0.3 \text{ V}$ 或+7 V (取较小者)
数字输出至GND	-0.3 V至 $DV_{CC} + 0.3 \text{ V}$ 或+7 V (取较小者)
REFIN、REFOUT至GND	-0.3 V至+7 V
I_{OUT} 至GND	-0.3 V至 AV_{DD}
工作温度范围	
工业	-40°C至+85°C ¹
存储温度范围	-65°C至+150°C
结温(T_J 最大值)	125°C
24引脚TSSOP_EP封装	
热阻 θ_{JA}	35°C/W ²
热阻 θ_{JC}	9°C/W
40引脚LFCSP封装	
热阻 θ_{JA}	33°C/W ²
热阻 θ_{JC}	4°C/W
功耗	$(T_{J\text{最大值}} - T_A)/\theta_{JA}$
引脚温度	JEDEC工业标准
焊接	J-STD-020
ESD(人体模型)	2 kV

¹ 为使结温低于125°C，必须降低芯片额定功耗。这里假设最大功耗条件为从 AV_{DD} 向地提供24 mA电流，片内电流为4 mA。

² 热阻仿真值基于带散热通孔的JEDEC 2S2P热测试板。参考：JEDEC JESD51文档。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

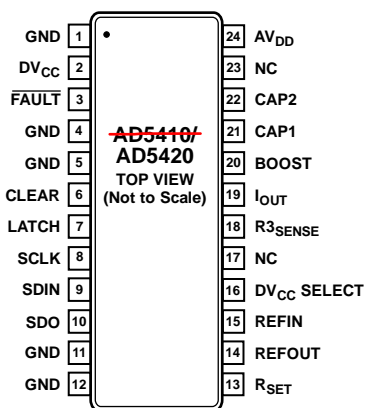
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

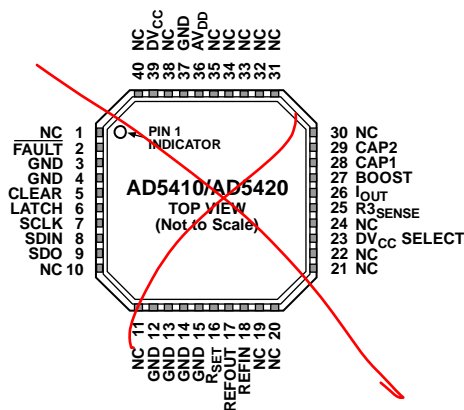


NOTES

1. NC = NO CONNECT.
2. GROUND REFERENCE CONNECTION. IT IS RECOMMENDED THAT THE EXPOSED PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

07027-005

图5. TSSOP引脚配置



NOTES

1. NC = NO CONNECT.
2. GROUND REFERENCE CONNECTION. IT IS RECOMMENDED THAT THE EXPOSED PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

07027-053

图6. LFCSP引脚配置

表5. 引脚功能描述

TSSOP引脚编号	LFCSPI引脚编号	引脚名称	描述
1, 4, 5, 12	3, 4, 14, 15, 37	GND	这些引脚必须接地。
2	39	DV _{CC}	数字电源引脚。电压范围从2.7 V至5.5 V。
3	2	FAULT	故障提醒。当检测到I _{OUT} 与GND之间开路或者检测到过温时，该引脚置位低电平。FAULT引脚为开漏输出，必须通过上拉电阻(典型值10 kΩ)连接到DV _{CC} 。
6	5	CLEAR	高电平有效输入。置位该引脚时，输出电流设为0 mA或4 mA的初始值，具体取决于设定的输出范围，即0 mA至20 mA、0 mA至24 mA还是4 mA至20 mA。
7	6	LATCH	对正边沿敏感的锁存。上升沿并行将输入移位寄存器数据载入相关寄存器。如果是数据寄存器，则也会更新输出电流。
8	7	SCLK	串行时钟输入。数据在SCLK的上升沿逐个输入移位寄存器。工作时钟速度最高可达30 MHz。
9	8	SDIN	串行数据输入。数据在SCLK的上升沿必须有效。
10	9	SDO	串行数据输出。在菊花链或回读模式下，该引脚用于从器件逐个输出数据。数据在SCLK的下降沿逐个输出。参见图3和图4。
11	12, 13	GND	接地基准引脚。
13	16	R _{SET}	可以将一个外部精密、低漂移15 kΩ电流设置电阻连接到该引脚，以改善器件的整体性能。参见技术规格和AD5410/AD5420特性部分。
14	17	REFOUT	内部基准电压输出。T _A = 25°C时，V _{REFOUT} = 5 V ± 5 mV。典型温度漂移为1.8 ppm/°C。
15	18	REFIN	外部基准电压输入。针对额定性能，V _{REFIN} = 5 V ± 50 mV。
16	23	DV _{CC} SELECT	当该引脚接GND时，内部电源禁用，必须将外部电源接到DV _{CC} 引脚。不连接该引脚时，内部电源使能。参见AD5410/AD5420特性部分。
17, 23	1, 10, 11, 19, 20, 21, 22, 24, 30, 31, 32, 33, 34, 35, 38, 40	NC	请勿连接这些引脚。

AD5410/AD5420

TSSOP引脚编号	LFCSP引脚编号	引脚名称	描述
18	25	R3SENSE	在该引脚与BOOST引脚之间测得的电压与输出电流成正比，可以用于监控和反馈特性。该引脚只应用作电压检测输出；不应从该引脚引出电流。参见AD5410/AD5420特性部分。
19	26	IOUT	电流输出引脚。
20	27	BOOST	可选外部晶体管连接。连接外部晶体管可降低AD5410/AD5420的功耗。参见AD5410/AD5420特性部分。
21	28	CAP1	可选输出滤波电容的连接引脚。参见AD5410/AD5420特性部分。
22	29	CAP2	可选输出滤波电容的连接引脚。参见AD5410/AD5420特性部分。另外，HART输入连接参见“产品特性”部分。
24	36	AVDD	正模拟电源引脚。电压范围从10.8 V至40 V。
25 (EPAD)	41 (EPAD)	裸露焊盘	接地基准连接。建议将裸露焊盘与一个铜片形成散热连接，以增强散热性能。

典型性能参数

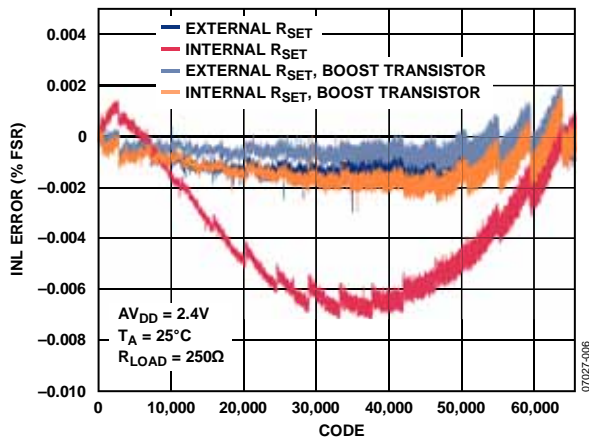


图7. 积分非线性误差与码的关系

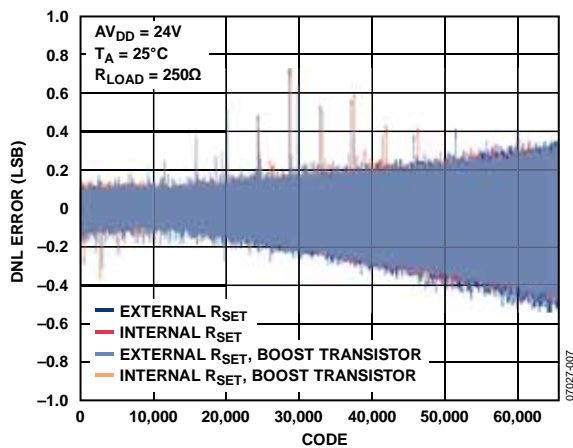


图8. 微分非线性误差与码的关系

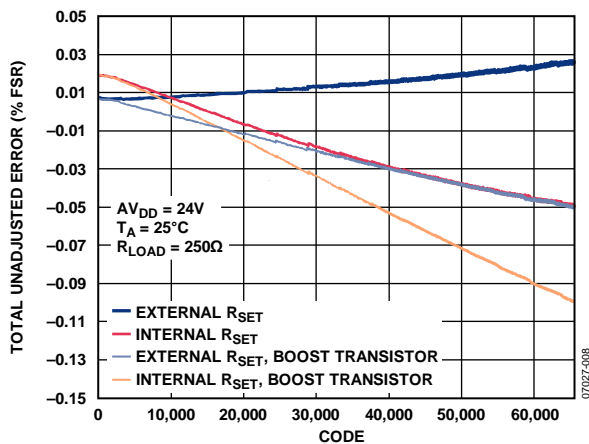


图9. 总体非调整误差与码的关系

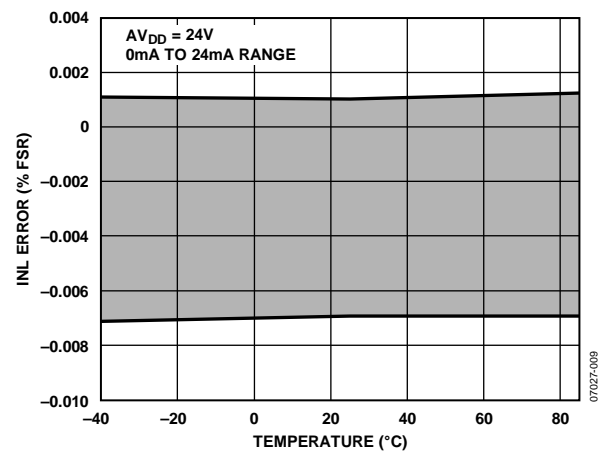


图10. 积分非线性误差与温度的关系(内部RSET)

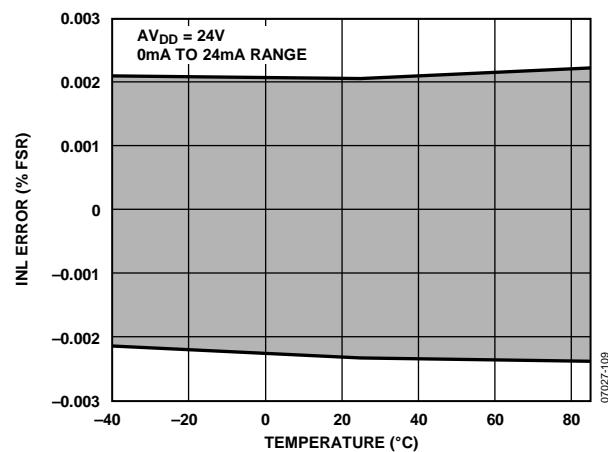


图11. 积分非线性误差与温度的关系(外部RSET)

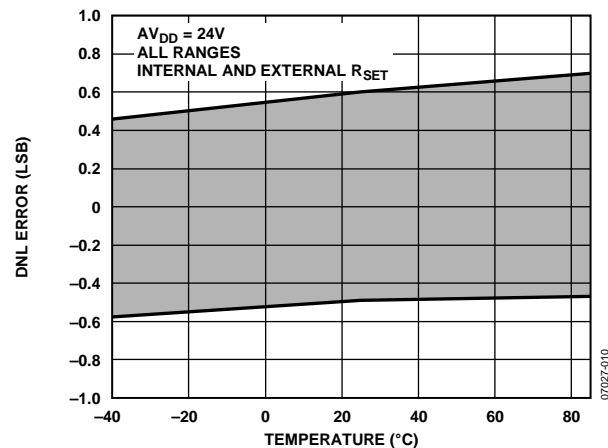


图12. 微分非线性误差与温度的关系

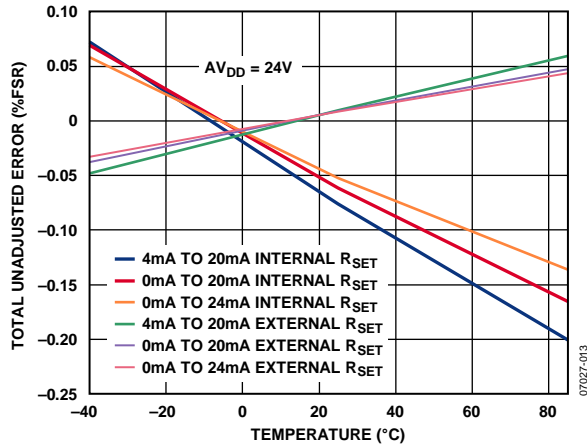


图13. 总体非调整误差与温度的关系

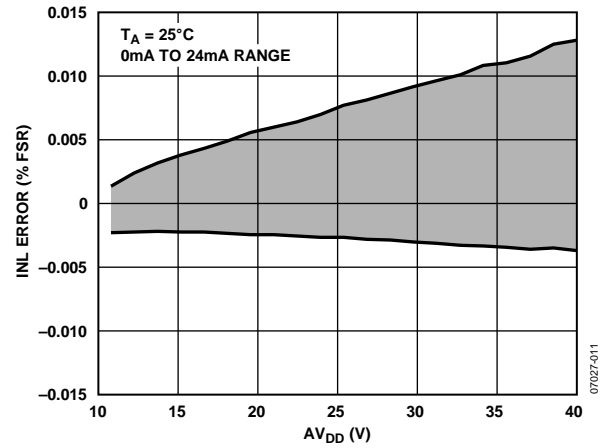


图16. 积分非线性误差与AV_{DD}的关系(外部R_{SET})

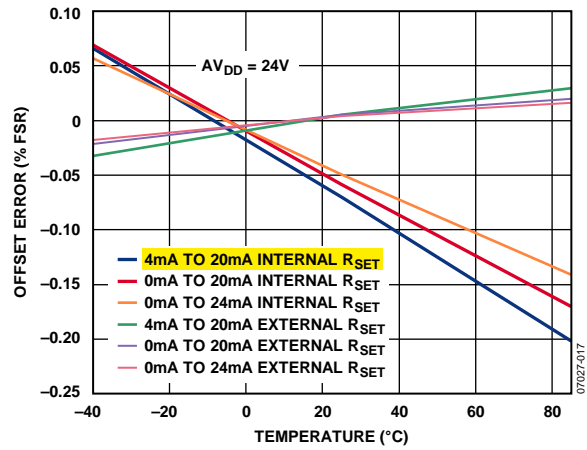


图14. 失调误差与温度的关系

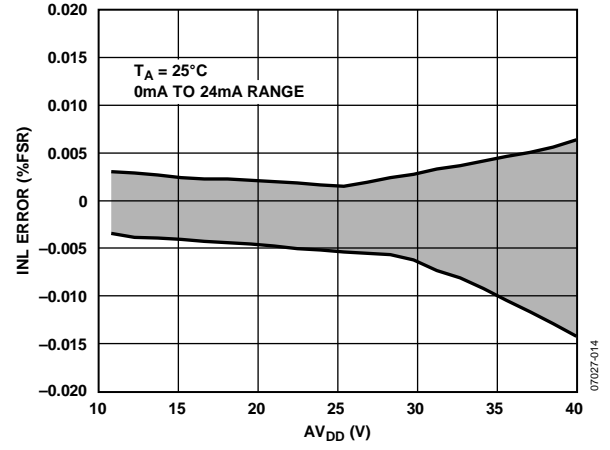


图17. 积分非线性误差与AV_{DD}的关系(内部R_{SET})

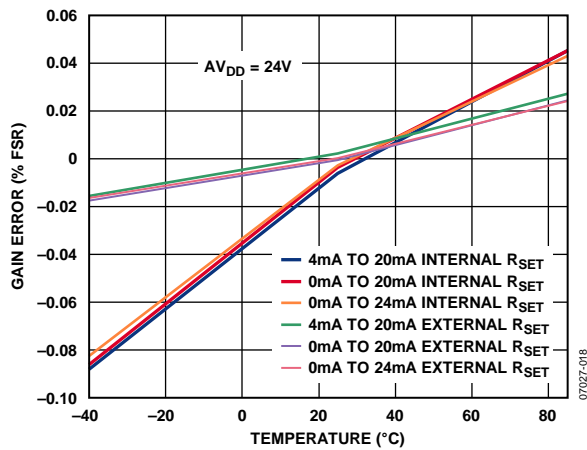


图15. 增益误差与温度的关系

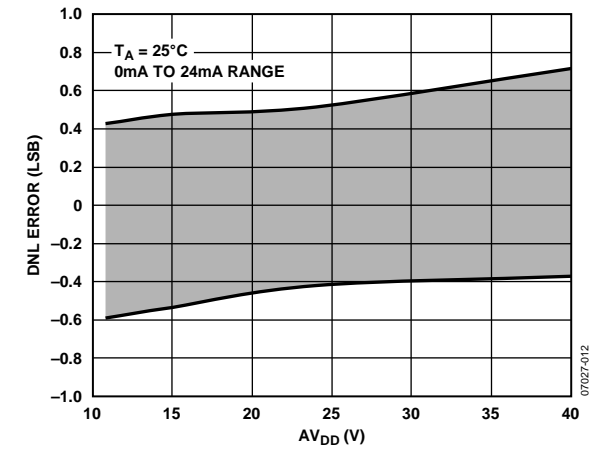


图18. 微分非线性误差与AV_{DD}的关系(外部R_{SET})

AD5410/AD5420

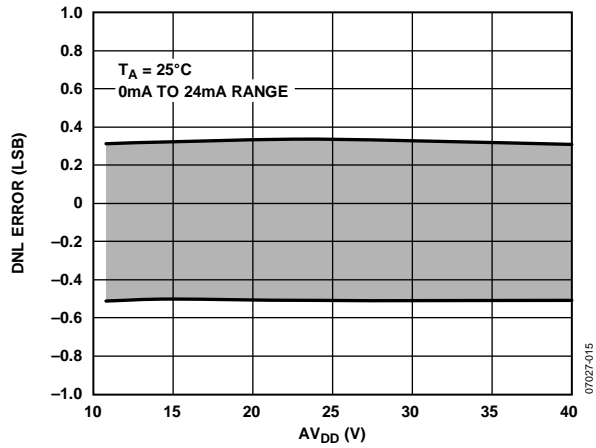


图19. 微分非线性误差与 AV_{DD} 的关系(内部 R_{SET})

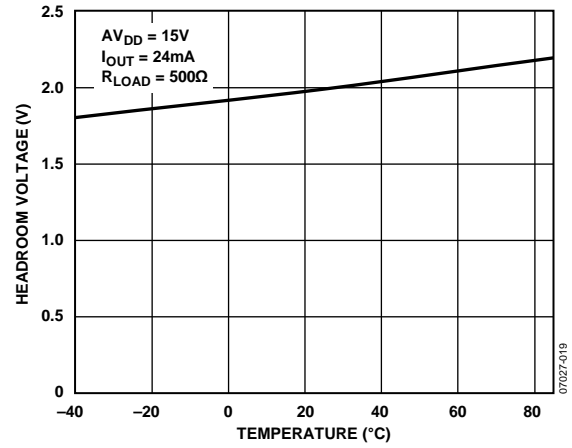


图22. 顺从电压裕量与温度的关系

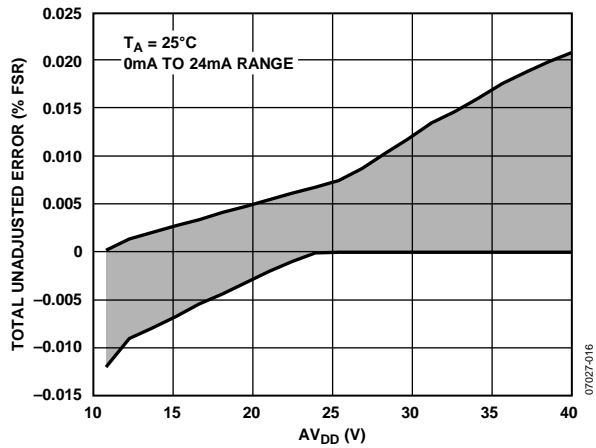


图20. 总非调整误差与 AV_{DD} 的关系(外部 R_{SET})

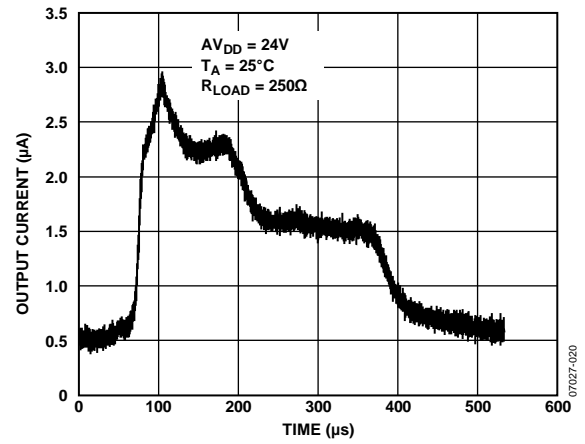


图23. 上电时输出电流与时间的关系

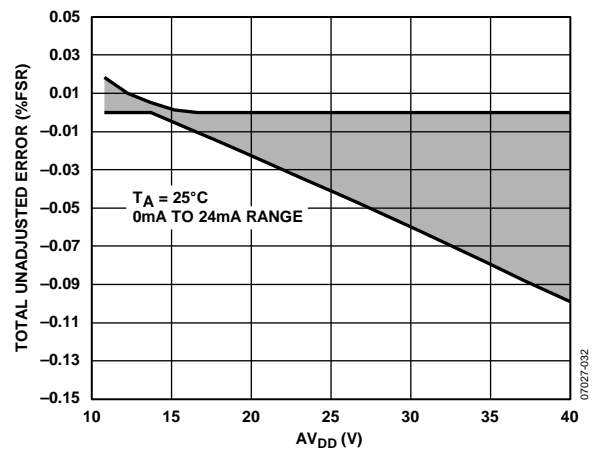


图21. 总体非调整误差与 AV_{DD} 的关系(内部 R_{SET})

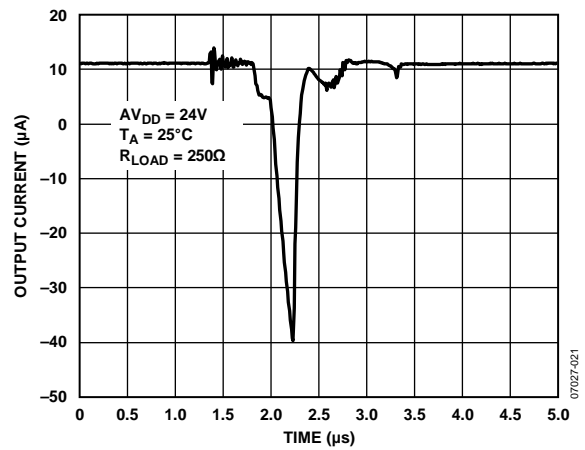


图24. 输出使能时输出电流与时间的关系

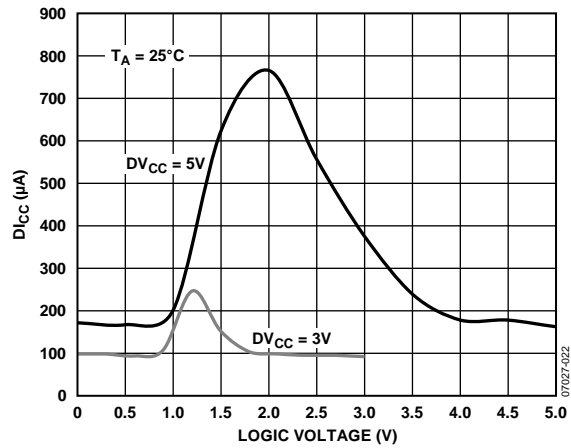


图25. DI_{CC} 与逻辑输入电压的关系

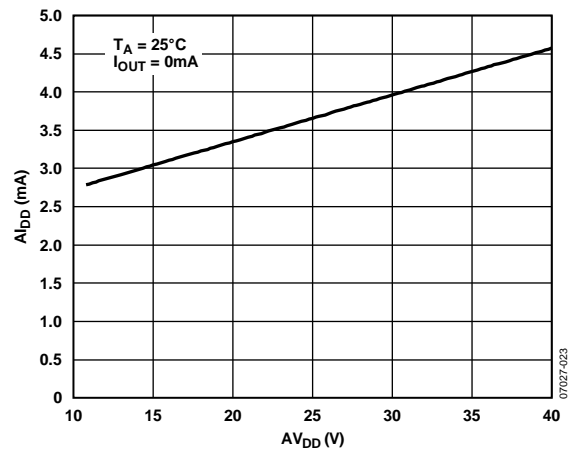


图26. AI_{DD} 与 AV_{DD} 的关系

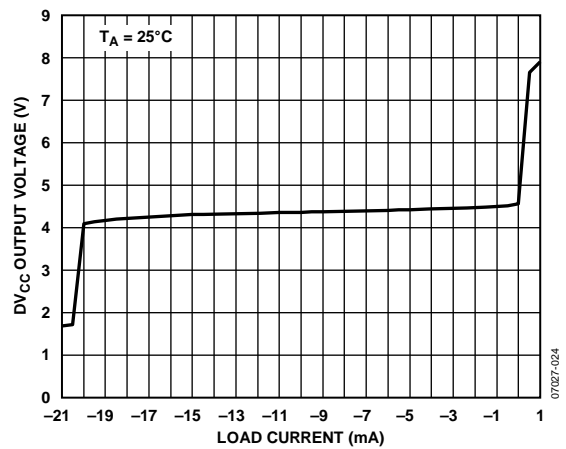


图27. DV_{CC} 输出电压与负载电流的关系

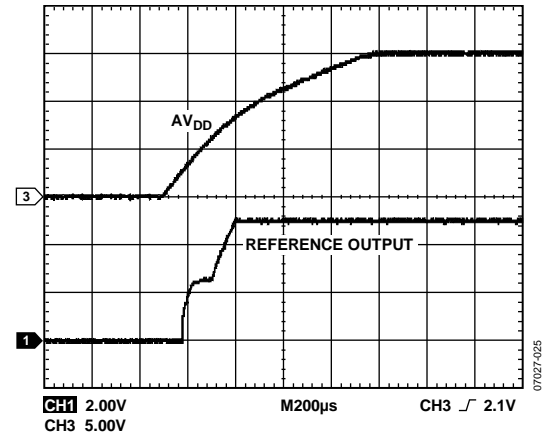


图28. 基准电压开启瞬态响应

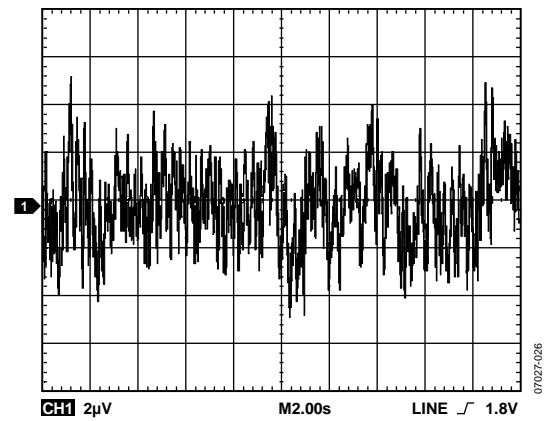


图29. 基准源噪声(0.1 Hz至10 Hz带宽)

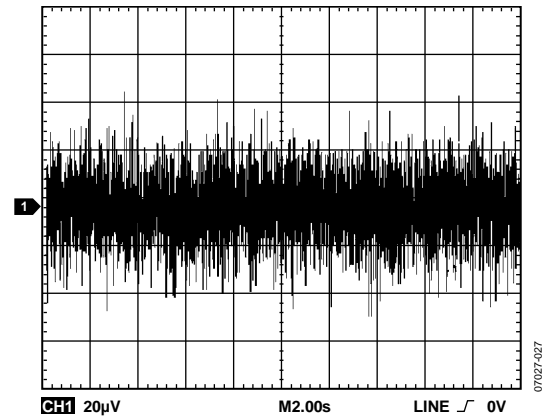


图30. 基准源噪声(100 kHz带宽)

AD5410/AD5420

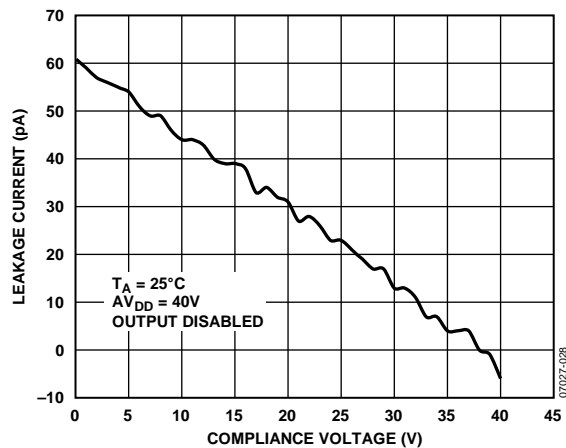


图31. 输出漏电流与顺从电压的关系

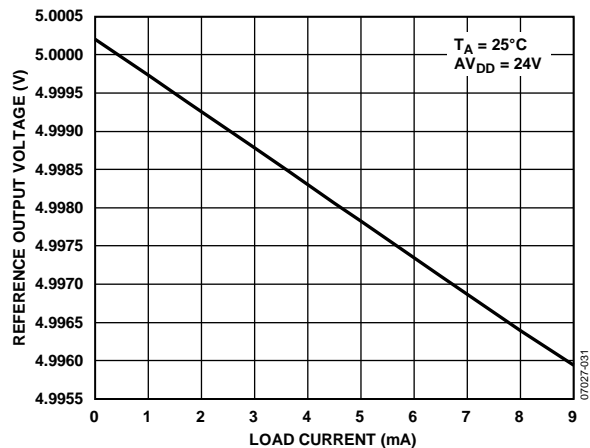


图34. 基准输出电压与负载电流的关系

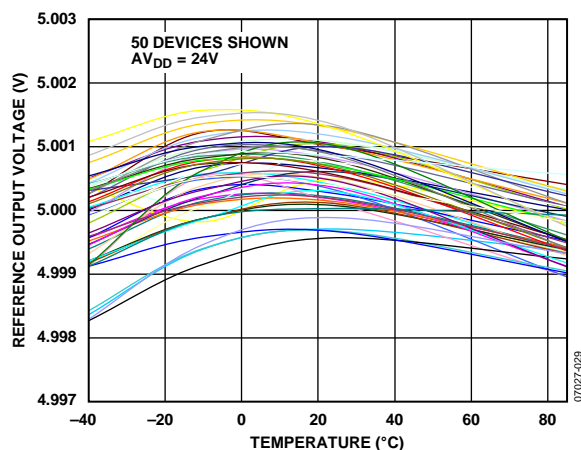


图32. 基准输出电压与温度的关系

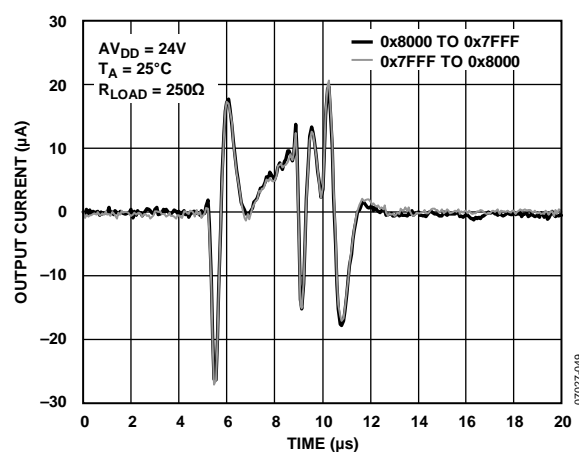


图35. 数模转换毛刺

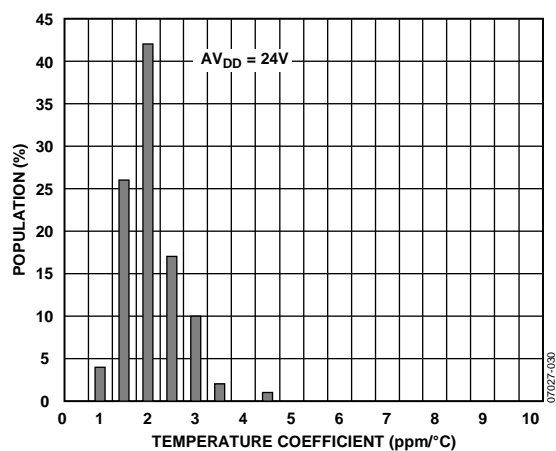


图33. 基准电压温度系数直方图

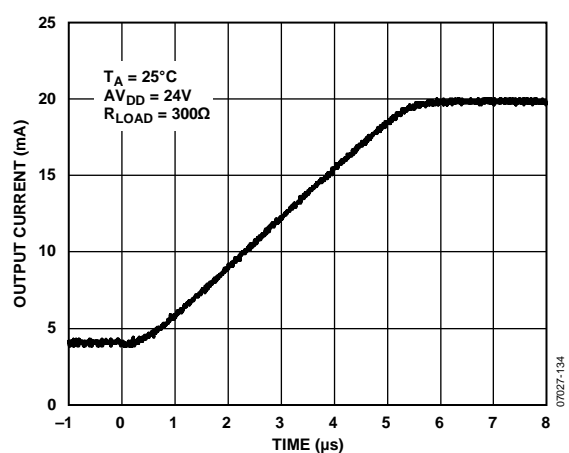


图36. 4 mA至20 mA输出电流步进

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，用满量程范围的百分比表示(% FSR)。图7给出了典型的INL与码的关系图。

差分非线性(DNL)

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图8给出了典型的DNL与码的关系图。

总非调整误差(TUE)

总非调整误差(TUE)衡量包括所有误差在内的总输出误差，即INL误差、失调误差、增量误差以及在电源电压和温度范围内的输出漂移，用满量程范围的百分比表示(% FSR)。图9给出了典型的TUE与码的关系图。

单调性

如果一个DAC的模拟输出随着数字输入码的增加而增加，或者保持不变，则该DAC是单调的。AD5410/AD5420在整个工作温度范围内是单调的。

满量程误差

满量程误差衡量将满量程码载入DAC数据寄存器时的输出误差。理想情况下，输出应为满量程 - 1 LSB。该误差表示为满量程范围的百分比(% FSR)。

满量程误差温度系数(TC)

满量程误差TC衡量满量程误差随温度的变化，用ppm FSR/°C表示。

增益误差

增益误差是衡量DAC量程误差的指标。它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示(% FSR)。图15给出了增益误差与温度的关系图。

增益误差温度系数(TC)

增益误差TC衡量增益误差随温度的变化，用ppm FSR/°C表示。

电流环路顺从电压

电流环路顺从电压是指输出电流与编程值相等情况下 I_{OUT} 引脚的最大电压。

电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小。

基准电压源温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化。它利用黑盒法计算，即将TC定义为基准输出在给定温度范围内的最大变化，用ppm/°C表示；计算公式如下：

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

V_{REFmax} 表示在整个温度范围内测得的最大基准输出。

V_{REFmin} 表示在整个温度范围内测得的最小基准输出。

V_{REFnom} 表示标称基准输出电压5 V。

$TempRange$ 表示额定温度范围-40°C至+85°C。

基准负载调整率

负载调整率衡量负载电流一定变化所引起的基准输出电压变化，用ppm/mA表示。

AD5410/AD5420

工作原理

AD5410/AD5420是精密数字电流环路输出转换器，专为满足工业过程控制应用的需求而设计。它们为产生电流环路输出提供了一种高精度、全集成、低成本的单芯片解决方案。可用电流输出范围为0 mA至20 mA、0 mA至24 mA和4 mA至20 mA。所需的输出配置可由用户通过控制寄存器选择。

架构

AD5410/AD5420的DAC内核架构由2个匹配的DAC部分组成。图37给出了简化电路图。12位或16位数据字的4个MSB经解码后，驱动15个开关(E1至E15)。每个开关都将15个匹配电阻中的一个与地或基准电压缓冲输出相连。数据字的其余8/12位驱动8/12位电压模式R-2R梯形网络的开关S0至S7或开关S0至S11。

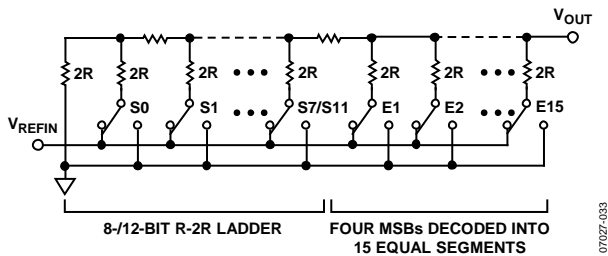


图37. DAC梯形结构

DAC内核的电压输出转换为电流(见图38)，然后镜像至供电轨，这样在该应用中，将只出现一个相对于地的电流源输出。

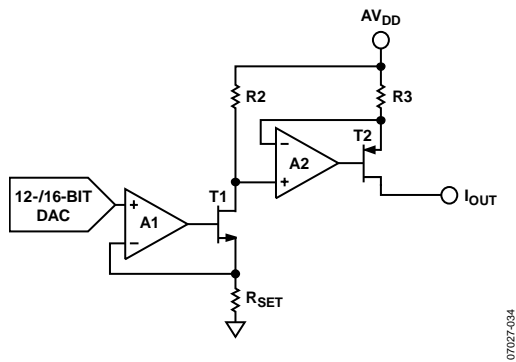


图38. 电压电流转换电路

串行接口

AD5410/AD5420通过多功能三线式串行接口进行控制，能够以最高30 MHz的时钟速率工作，兼容SPI、QSPI、MICROW-IRE和DSP标准。

输入移位寄存器

输入移位寄存器为24位宽。在串行时钟输入SCLK的控制下，数据作为24位字以MSB优先的方式载入器件。数据在SCLK

的上升沿逐个输入。输入移位寄存器由8个地址位和16个数据位组成，如表6所示。该24位字在LATCH的上升沿无条件地被锁存。无论LATCH为何状态，数据都会持续逐个输入。在LATCH的上升沿，输入移位寄存器中存在的数据被锁存；也就是说，在LATCH上升沿之前待输入的最后24位就是锁存的数据。图2给出了这种操作的时序图。

独立操作

串行接口既可配合连续SCLK工作，也可配合非连续SCLK工作。要使用连续SCLK源，必须在输入正确数量的数据位之后，将LATCH置为高电平。在选通时钟模式下，必须使用一个含有该确切数量时钟周期的突发脉冲时钟，并且LATCH必须在最后时钟之后变为高电平，以锁存数据。输入数据字MSB的SCLK第一个上升沿标志着写入周期的开始。LATCH变为高电平之前，必须将正好24个上升时钟沿施加于SCLK。如果LATCH在第24个SCLK上升沿之前变为高电平，则写入的数据无效。如果在LATCH变为高电平之前施加了24个以上的SCLK上升沿，输入数据同样无效。

表6. 输入移位寄存器格式

MSB	LSB
DB23至DB16	DB15至DB0
地址字节	数据字

表7. 地址字节功能

地址字节	功能
00000000	无操作(NOP)
00000001	数据寄存器
00000010	按照读取地址(见表8)回读寄存器值
01010101	控制寄存器
01010110	复位寄存器

菊花链操作

对于含有多个器件的系统，可以用SDO引脚将多个器件以菊花链形式相连，如图39所示。菊花链模式有助于系统诊断和减少串行接口线的数量。将控制寄存器中的DCEN位置1，可启用菊花链模式。输入数据字MSB的SCLK第一个上升沿标志着写入周期的开始。SCLK连续施加于输入移位寄存器。如果施加24个以上的时钟脉冲，数据将溢出输入移位寄存器，而出现在SDO线上。在前一个SCLK下降沿输出的此数据在SCLK上升沿有效。将第一个器件的SDO连接到菊花链中下一个器件的SDIN输入，可构建一个多器件接口。系统中的每个器件都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为菊花链中的AD5410/AD5420器件总数。当对所有器件的串行传输结束时，LATCH变为高电平，从而锁存菊花链中每个器件的输入数据。串行时钟可以是连续时钟或选通时钟。

要使用连续SCLK源，必须在施加正确数量的时钟周期之后，将LATCH置为高电平。在选通时钟模式下，必须使用一个含有该确切数量时钟周期的突发脉冲时钟，并且LATCH必须在最后时钟之后变为高电平，以锁存数据。时序图参见图4。

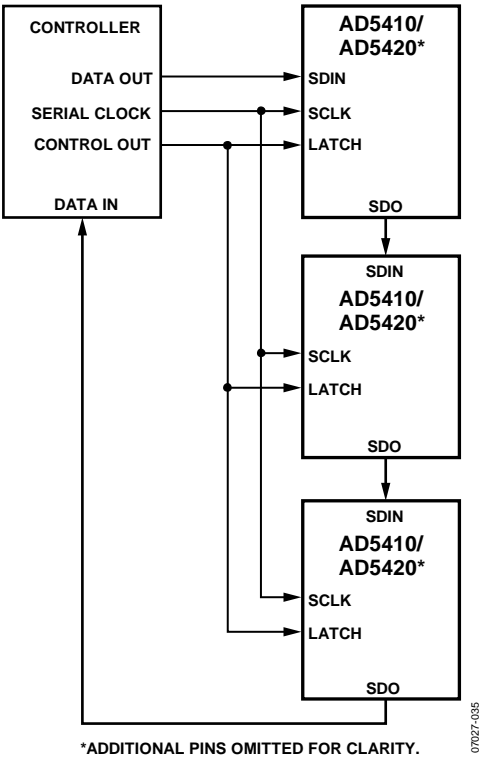


图39. AD5410/AD5420的菊花链连接

回读操作

写入输入移位寄存器时，按照表9和表8所示设置地址字节和读取地址，可激活回读模式。对AD5410/AD5420的下一个写操作应为NOP命令，以输出之前寻址的寄存器中的数据，如图3所示。SDO引脚默认禁用。确定读操作所用的AD5410/AD5420寄存器地址之后，LATCH上升沿使能SDO引脚，并等待输出数据。数据在SDO上输出之后，LATCH上升沿再次禁用(三态)SDO引脚。例如，要回读数据寄存器，应当实施如下的操作序列：

- 1. 将0x020001写入AD5410/AD5420输入移位寄存器。这将把器件配置为读取模式，以读取所选的数据寄存器。
- 2. 然后执行第二个写操作，写入NOP条件0x000000。在该写操作期间，数据寄存器中的数据在SDO线上输出。

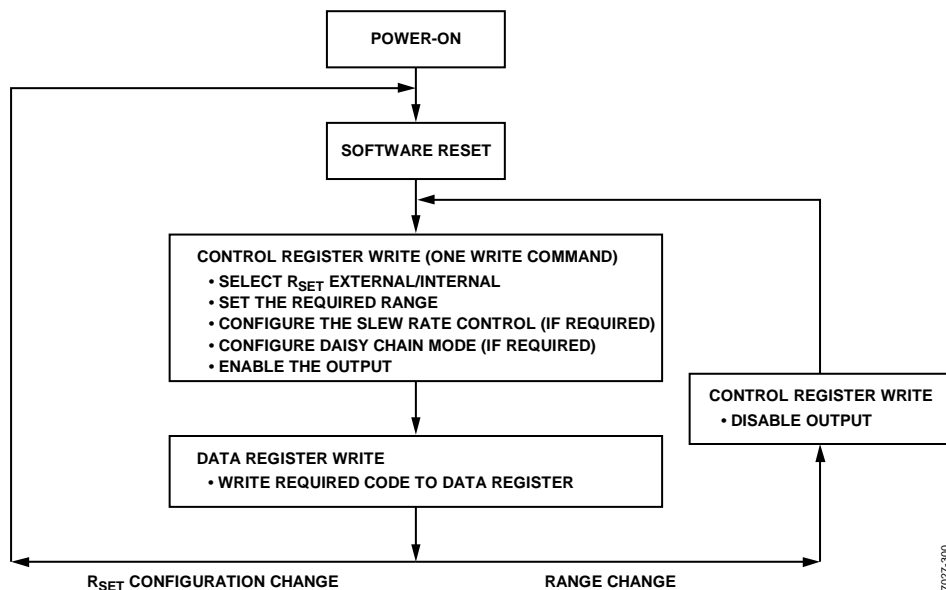
表8. 读取地址解码

读取地址	功能
00	读取状态寄存器
01	读取数据寄存器
10	读取控制寄存器

表9. 读操作的输入移位寄存器内容

MSB								LSB		
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB2		DB1 DB0
0	0	0	0	0	0	1	0	X ¹		读取地址

¹ x = 无关。



07027-390

图40. 正确写入/使能输出的编程序列

上电状态

AD5410/AD5420上电时，上电复位电路确保所有寄存器均加载零码。因此，输出禁用(三态)。另外，在上电时还会读取内部校准寄存器，并将数据施加于内部校准电路。当DV_{CC}电源上电触发读取事件时，为确保读操作可靠执行，AV_{DD}电源必须有足够的电压。在AV_{DD}电源之后给DV_{CC}电源上电可确保这一点。如果DV_{CC}和AV_{DD}同时上电，或者内部DV_{CC}使能，则这些电源应以大于500 V/s或24 V/50 ms的速率上电。如果无法实现这一点，只需在AD5410/AD5420上电之后发出复位命令，触发上电复位事件，以便读取校准寄存器并确保AD5410/AD5420达到指定性能。

传递函数

针对0 mA至20 mA、0 mA至24 mA和4 mA至20 mA电流输出范围，输出电流分别表示为：

$$I_{OUT} = \left[\frac{20 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[\frac{24 \text{ mA}}{2^N} \right] \times D$$

$$I_{OUT} = \left[\frac{16 \text{ mA}}{2^N} \right] \times D + 4 \text{ mA}$$

其中：

D是载入DAC的代码的十进制等效值。N为DAC的位分辨率。

数据寄存器

将输入移位寄存器的地址字节设置为0x01可寻址数据寄存器。待写入数据寄存器的数据输入DB15至DB4 (AD5410)或DB15至DB0 (AD5420)，如表12和表13所示。

控制寄存器

将输入移位寄存器的地址字节设置为0x55可寻址控制寄存器。待写入控制寄存器的数据输入DB15至DB0，如表14所示。控制寄存器各位的功能如表10所述。

表10. 控制寄存器位功能

位	描述
REXT	此位置1将选择外部电流设置电阻。详情参见AD5410/AD5420特性部分。使用外部电流设置电阻时，建议仅在设置OUTEN位的同时设置REXT。或者，也可以在设置OUTEN位之前设置REXT，但必须在使能输出的写操作中更改范围(参见表11)。最佳做法请参见图40。
OUTEN	输出使能。此位必须置1才能使能输出。
SR时钟	数字压摆率控制。参见AD5410/AD5420特性部分。
SR步进	数字压摆率控制。参见AD5410/AD5420特性部分。
SREN	数字压摆率控制使能。
DCEN	菊花链使能。
R2, R1, R0	输出范围选择。参见表11。

表11. 输出范围选项

R2	R1	R0	输出范围选择
1	0	1	4 mA至20 mA电流范围
1	1	0	0 mA至20 mA电流范围
1	1	1	0 mA至24 mA电流范围

表12. AD5410数据寄存器编程

MSB

LSB

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
12位数据字												X ¹	X ¹	X ¹	X ¹

¹ x = 无关。

表13. AD5420数据寄存器编程

MSB

LSB

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
16位数据字															

表14. 控制寄存器编程

MSB

LSB

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	REXT	OUTEN	SR时钟				SR步进			SREN	DCEN	R2	R1	R0

AD5410/AD5420

复位寄存器

将输入移位寄存器的地址字节设置为0x56可寻址复位寄存器。复位寄存器含有一个复位位DB0，如表16所示。将逻辑高电平写入此位可执行复位操作，使器件恢复到上电状态。

状态寄存器

状态寄存器是一个只读寄存器，其各位的功能如表15和表17所示。

表15. 状态寄存器位功能位

位	描述
I _{OUT} 故障 压摆有效	如果I _{OUT} 引脚上检测到故障，该位置1。 当输出有压摆时(压摆率控制使能)， 该位置1。
过温	当AD5410/AD5420内核温度超过约150°C时， 该位置1。

表16. 复位寄存器编程

MSB															LSB	
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
保留															复位	

表17. 状态寄存器解码

MSB														LSB		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
保留													I _{OUT} 故障	压摆有效	过温	

AD5410/AD5420特性

故障报警

AD5410/AD5420配有一个 $\overline{\text{FAULT}}$ 引脚，它是一个开漏输出，允许多个AD5410/AD5420器件一起连接到一个上拉电阻，以进行全局故障检测。下列任何一种情况都会使 $\overline{\text{FAULT}}$ 引脚强制有效：

- 由于存在开环电路或电源电压不足， I_{OUT} 上的电压试图上升至顺从电压之上。 I_{OUT} 电流由PMOS晶体管和内部放大器控制，如图38所示。产生故障输出的内部电路避免使用具有窗口限值的比较器，因为这样需要在 $\overline{\text{FAULT}}$ 输出变为有效之前产生一个实际的输出错误。相反，该信号是在输出级中的内部放大器的剩余驱动能力小于约1 V时(当输出PMOS晶体管的栅极接近地时)产生。因此， $\overline{\text{FAULT}}$ 输出在快达到顺从电压限值之前激活。由于是在输出放大器的反馈环路内部进行比较的，因此其开环增益可保持输出精度不变，并且在 $\overline{\text{FAULT}}$ 输出变为有效之前不会发生输出错误。
- AD5410/AD5420的内核温度超过约150°C。

状态寄存器的 I_{OUT} 故障位和过温位与 $\overline{\text{FAULT}}$ 引脚一同使用，以告知用户何种故障条件导致 $\overline{\text{FAULT}}$ 引脚置位。参见表17和表15。

异步清零(CLEAR)

$\overline{\text{CLEAR}}$ 为高电平有效清零，输出电流清零至编程范围的底部。要完成该操作， $\overline{\text{CLEAR}}$ 必须保证在超过最短时间条件下(见图2)保持高电平。当 $\overline{\text{CLEAR}}$ 信号返回低电平时，输出仍然为清零值。发送脉冲使LATCH信号变为低电平而不输入任何数据，可恢复预清零值。在 $\overline{\text{CLEAR}}$ 引脚返回低电平之前，无法写入新值。

内部基准电压源

AD5410/AD5420内置一个集成+5 V基准电压源，初始精度最大值为 ± 5 mV，温度漂移系数最大值为10 ppm/°C。该基准电压源带缓冲，可供外部使用，用于系统内的其它地方。关于该集成基准源的负载调整图，请参见图34。

外部电流设置电阻

图38中， R_{SET} 是一个内部检测电阻，构成电压电流转换电路的一部分。输出电流在温度范围内的稳定性取决于 R_{SET} 值的稳定性。AD5410/AD5420的 R_{SET} 引脚与地之间可以连接一个15 k Ω 外部精密低漂移电阻，以改善器件的整体性能。外部电阻通过控制寄存器进行选择，参见表14。

数字电源

DV_{CC} 引脚默认采用2.7 V至5.5 V电源供电。但是，也可以将内部4.5 V电源经由 DV_{CC} SELECT引脚输出到 DV_{CC} 引脚，以用作系统中其它器件的数字电源，或者用作上拉电阻的端电极。这样做的好处是使数字电源不必跨越隔离栅。使 DV_{CC} SELECT引脚处于未连接状态，便可使能内部电源。若要禁用内部电源， DV_{CC} SELECT应连接到0 V。 DV_{CC} 可以提供最高5 mA的电流。负载调整图参见图27。

外部增强功能

增加一个外部增强晶体管，如图41所示，可减小片内输出晶体管(由外部电路的电流增益驱动)中的电流，从而降低AD5410/AD5420的功耗。可以使用击穿电压 BV_{CEO} 大于40 V的分立NPN型晶体管。外部增强能力使得AD5410/AD5420能够用在电源电压、负载电流和温度范围的极值条件下。增强晶体管也可以减小温度所引起的漂移量，使片内基准电压源的温度漂移降至最小，改善漂移和线性性能。

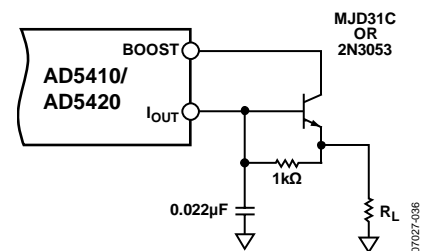


图41. 外部增强配置

AD5410/AD5420

HART通信

AD5410/AD54120包含一个CAP2引脚，可以将HART信号耦合到该引脚。HART信号出现在电流输出端(如果该输出已使能)。为了获得1 mA峰峰值电流，CAP2引脚处的信号幅度必须为48 mV峰峰值。假定调制解调器的输出幅度为500 mV峰峰值，则其输出必须经过 $500/48 = 10.42$ 倍衰减。如果使用此电压，电流输出应符合HART幅度要求。图42所示为衰减和耦合HART信号的推荐电路。

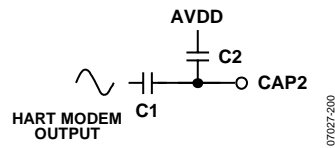


图42. 耦合HART信号

确定电容的绝对值时，要确保调制解调器的FSK输出无失真通过。因此，调制解调器信号输出端的信号的带宽必须通过1200 Hz和2200 Hz频率。推荐值为： $C1 = 2.2 \text{ nF}$ ， $C2 = 22 \text{ nF}$ 。为了达到HART的模拟变化速率要求，必须以数字方式控制输出的压摆率。

数字压摆率控制

AD5410/AD5420的压摆率控制特性允许用户控制输出电流的变化速率。压摆率控制特性禁用时，输出电流以大约 $16 \text{ mA}/10 \mu\text{s}$ 的速率变化(见图36)，该速率会随负载条件而变化。为了降低压摆率，可以使能压摆率控制特性。通过控制寄存器的SREN位使能该特性(见表14)之后，输出将以两个参数所定义的一个速率发生数字式步进变化，而不是直接在两个值之间摆动。这两个参数是SR时钟和SR步进，可通过控制寄存器进行访问，如表14所示。SR时钟定义数字压摆的更新速率，SR步进定义输出值在每次更新时的变化幅度。这两个参数共同定义输出电流的变化速率。表18和表19列出了SR时钟和SR步步进二者的变化范围。图43显示了缓升时间10 ms、50 ms和100 ms对应的输出电流变化。

表18. 压摆率更新时钟值

SR时钟	更新时钟频率(Hz)
0000	257,730
0001	198,410
0010	152,440
0011	131,580
0100	115,740
0101	69,440
0110	37,590
0111	25,770
1000	20,160
1001	16,030
1010	10,290
1011	8280
1100	6900
1101	5530
1110	4240
1111	3300

表19. 压摆率步进大小选项

SR步进	AD5410步进大小(LSB)	AD5420步进大小(LSB)
000	1/16	1
001	1/8	2
010	1/4	4
011	1/2	8
100	1	16
101	2	32
110	4	64
111	8	128

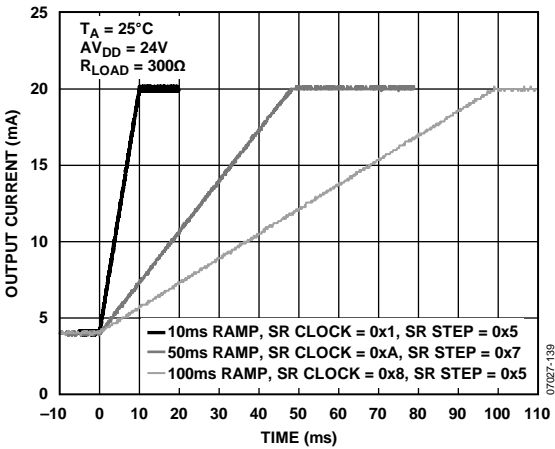


图43. 数字压摆率控制特性控制之下的输出电流压摆情况

输出电流在给定输出范围内压摆所需的时间可以用下式表示：

压摆时间 =

输出变化

步进大小 × 更新时钟频率 × LSB大小

(1)

其中：
“压摆时间”单位为秒。
“输出变化”单位为安培。

当压摆率控制特性使能时，所有输出变化以设定的压摆率变化。如果CLEAR引脚置位，输出以设定的压摆率压摆至零电平值。对控制寄存器执行一个写操作可以使输出暂停

在其当前值。若要避免输出压摆暂停，可以在写入AD5410/AD5420的任何寄存器之前读取压摆有效位，检查压摆是否已完成(见表17)。任意给定值的更新时钟频率对所有输出范围都是相同的。不过，对于给定的步进大小值，步进大小则随输出范围而有所不同，因为各输出范围所对应的LSB大小是不同的。表20显示了任意输出范围的满量程变化所对应的可编程压摆时间范围。表20中的值是根据公式1得出的。数字压摆率控制特性导致电流输出形成阶梯状，如图47所示。图47还显示，将电容连接到CAP1和CAP2引脚可以消除该阶梯形状，详见I_{OUT}滤波电容部分。

表20. 任意输出范围的满量程变化所对应的可编程压摆时间值(单位为秒)

更新时钟频率(Hz)	步进大小(LSB)							
	1	2	4	8	16	32	64	128
257,730	0.25	0.13	0.06	0.03	0.016	0.008	0.004	0.0020
198,410	0.33	0.17	0.08	0.04	0.021	0.010	0.005	0.0026
152,440	0.43	0.21	0.11	0.05	0.027	0.013	0.007	0.0034
131,580	0.50	0.25	0.12	0.06	0.031	0.016	0.008	0.0039
115,740	0.57	0.28	0.14	0.07	0.035	0.018	0.009	0.0044
69,440	0.9	0.47	0.24	0.12	0.06	0.03	0.015	0.007
37,590	1.7	0.87	0.44	0.22	0.11	0.05	0.03	0.014
25,770	2.5	1.3	0.64	0.32	0.16	0.08	0.04	0.020
20,160	3.3	1.6	0.81	0.41	0.20	0.10	0.05	0.025
16,030	4.1	2.0	1.0	0.51	0.26	0.13	0.06	0.03
10,290	6.4	3.2	1.6	0.80	0.40	0.20	0.10	0.05
8280	7.9	4.0	2.0	1.0	0.49	0.25	0.12	0.06
6900	9.5	4.8	2.4	1.2	0.59	0.30	0.15	0.07
5530	12	5.9	3.0	1.5	0.74	0.37	0.19	0.09
4240	15	7.7	3.9	1.9	0.97	0.48	0.24	0.12
3300	20	9.9	5.0	2.5	1.24	0.62	0.31	0.16

AD5410/AD5420

I_{OUT}滤波电容

CAP1与AV_{DD}及CAP2与AV_{DD}之间可以放置电容，如图44所示。

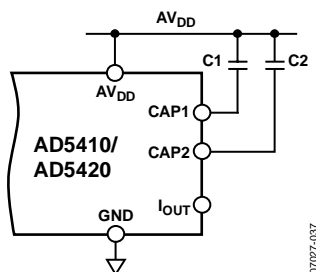


图44. I_{OUT}滤波电容

这些电容在电流输出电路上形成一个滤波器，如图45所示，可降低带宽和输出电流的压摆率。图46显示这些电容对输出电流压摆率的影响。为使变化率显著降低，需要非常大的电容，这对某些应用可能不适合。此时应使用数字压摆率控制特性。这些电容可以配合数字压摆率控制特性使用，从而消除数字码递增所引起的阶梯形状，如图47所示。

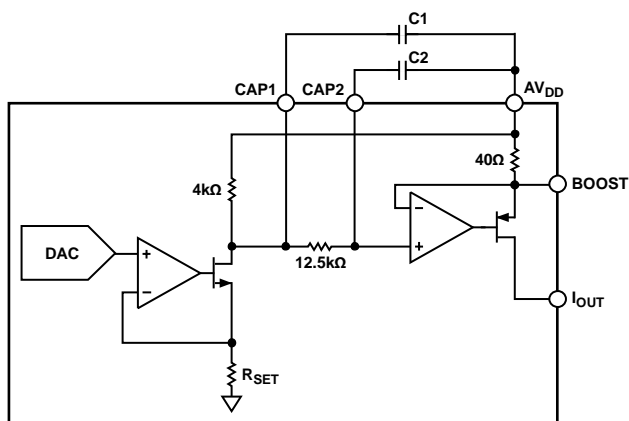


图45. I_{OUT}滤波电路

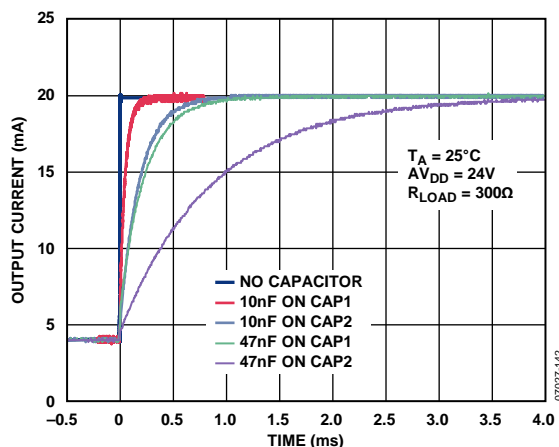


图46. CAP1和CAP2引脚上连接外部电容时，压摆控制的4 mA至20 mA输出电流步进变化

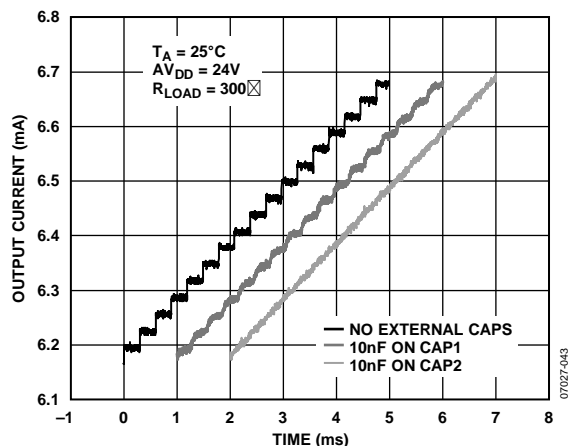


图47. 消除数字压摆率控制特性所导致的阶梯形状

输出电流的反馈和监控

为了反馈或监控输出电流值，可以在I_{OUT}输出引脚上串联一个检测电阻，并测量该电阻上的压降。这不仅需要添加一个元件，而且会提高所需的顺从电压。另一种替代方法是使用已有电阻。R3就是这样一个电阻，它位于AD5410/AD5420内部，如图48所示。测量出R_{3SENSE}与BOOST引脚之间的电压之后，便可以通过下式计算输出电流值：

$$I_{OUT} = \frac{V_{R3} - I_{BIAS}}{R3} \quad (2)$$

其中：

V_{R3}是R3上的压降，在R_{3SENSE}与BOOST引脚之间测得。

I_{BIAS}是R3中的恒定偏置电流，典型值为444 μA。

R3是电阻R3的电阻值，典型值为40 Ω。

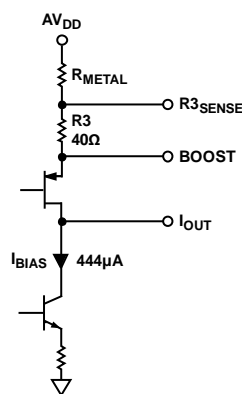


图48. 电流输出电路的结构

R_3 和 I_{BIAS} 均具有 $\pm 10\%$ 的容差和 $30 \text{ ppm}/^\circ\text{C}$ 的温度系数。连接到 R_3 而非 AV_{DD} ，可避免纳入具有较大温度系数的 R_3 内部金属连接，不致于引起较大误差。图49显示了 R_3 与环境温度的关系，图52显示了 R_3 与输出电流的关系。

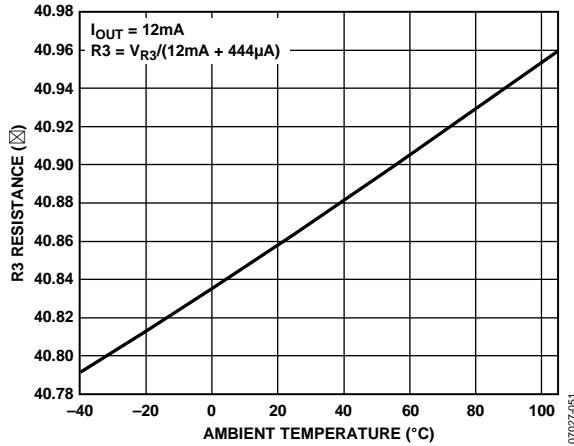


图49. R_3 电阻值与温度的关系

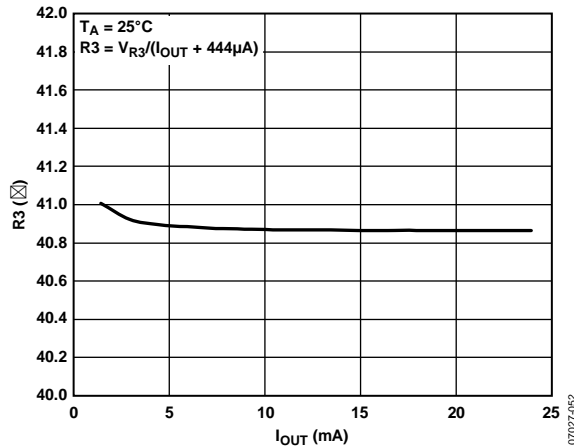


图50. R_3 电阻值与输出电流的关系

为了消除 R_3 和 I_{BIAS} 的容差所引起的误差，可以执行双测量校准，如下例所示：

1. 写入码0x1000，测量 I_{OUT} 和 V_{R3} 。本例中，测量结果为：

$$I_{OUT} = 1.47965 \text{ mA}$$

$$V_{R3} = 79.55446 \text{ mV}$$

2. 写入码0xF000，再次测量 I_{OUT} 和 V_{R3} 。本次测量结果为：

$$I_{OUT} = 22.46754 \text{ mA}$$

$$V_{R3} = 946.39628 \text{ mV}$$

利用该信息和公式2，可以产生两个联立方程，由此即可计算 R_3 和 I_{BIAS} 的值：

$$I_{OUT} = \frac{V_{R3}}{R3} - I_{BIAS}$$

$$\Rightarrow I_{BIAS} = \frac{V_{R3}}{R3} - I_{OUT}$$

联立方程1：

$$I_{BIAS} = \frac{0.07955446}{R3} - 0.00147965$$

联立方程2：

$$I_{BIAS} = \frac{0.94639628}{R3} - 0.02246754$$

由这两个方程式可得：

$$R3 = 41.302 \text{ } \Omega \text{ and } I_{BIAS} = 446.5 \text{ } \mu\text{A}$$

因此，公式2变为：

$$I_{OUT} = \frac{V_{R3}}{41.302} - 446.5 \text{ } \mu\text{A}$$

应用信息

驱动感性负载

驱动感性或难以确定的负载时，请在 I_{OUT} 与GND之间连接一个 $0.01\ \mu\text{F}$ 电容，以确保能够稳定地驱动超过 $50\ \text{mH}$ 的负载。对于电容，没有最大值规定。负载的容性成分可能会减慢建立速度。或者，也可以将电容连在CAP1和(或)CAP2与 AV_{DD} 之间，以降低电流的压摆率。这种情况下，数字压摆率控制特性仍可能会用到。

瞬态电压保护

AD5410/AD5420内置ESD保护二极管，可防止器件在一般工作条件下受损。但是，工业控制环境可能会使I/O电路遭受高得多的瞬态电压。为了防止过高瞬态电压影响AD5410/AD5420，可能需要外部功率二极管和浪涌电流限制电阻，如图51所示。对电阻值的制约条件是：正常工作期间， I_{OUT} 的输出电平必须始终在其电压限值 $AV_{DD} - 2.5\ \text{V}$ 的范围以内，并且两个保护二极管和电阻必须具有适当的额定功率值。通过瞬态电压抑制器(TVS)或瞬态吸收器可实现进一步的保护。它包括单向抑制器(防范正高电压瞬态)和双向抑制器(防范正负高电压瞬态)，可提供各种各样的隔离和击穿电压额定值。建议将所有现场连接节点均加以保护。

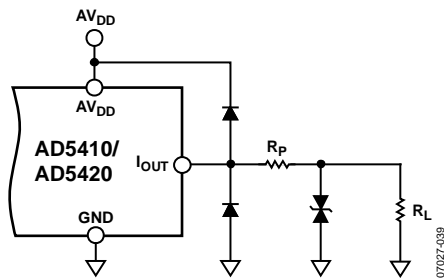


图51. 输出瞬态电压保护

布局指南

在任何注重精度的电路中，精心考虑电源和接地回路布局有助于确保达到规定的性能。AD5410/AD5420所在的印刷电路板(PCB)在设计时应将模拟部分与数字部分分离，并限制在电路板的特定区域内。如果AD5410/AD5420所在系统中有多器件要求AGND至DGND连接，则只能在一个点上连接。星形接地点应尽可能靠近器件。

AD5410/AD5420的每个电源上应有足够大的旁路电容 $10\ \mu\text{F}$ ，与 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\ \mu\text{F}$ 电容为钽珠型电容。 $0.1\ \mu\text{F}$ 电容应具有低有效串

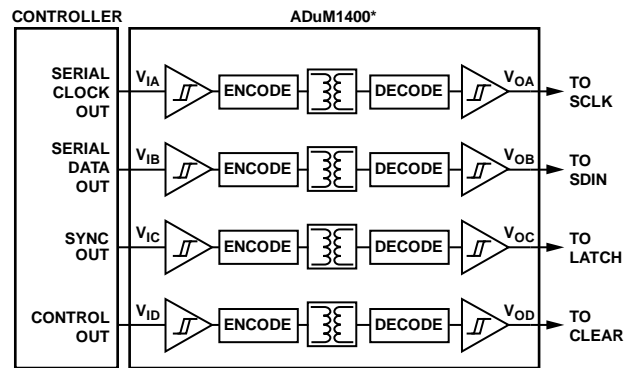
联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

AD5410/AD5420的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。SDIN线路与SCLK线路之间布设接地线路有助于降低二者之间的串扰(多层电路板上不需要，因为它有独立的接地层，但将线路分开是有利的)。REFIN线路上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。

避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这样有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

电流隔离接口

在许多过程控制应用中，有必要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路，使之免受可能出现的危险共模电压影响。ADI公司的iCoupler®系列产品可提供超过 $2.5\ \text{kV}$ 的电压隔离。AD5410/AD5420的串行加载结构特别适用于隔离接口，因为接口线数量极少。图52显示了利用ADuM1400所构建的与AD5410/AD5420的4通道隔离接口。更多信息请访问：www.analog.com/icouplers。



*ADDITIONAL PINS OMITTED FOR CLARITY.

图52. 隔离接口

微处理器接口

AD5410/AD5420通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和DSP处理器兼容的协议。通信通道为一个3线(最少)式接口，由时钟信号、数据信号和锁存信号组成。AD5410/AD5420要求24位数据字，数据在SCLK上升沿有效。

对于所有接口，DAC输出更新都是在LATCH上升沿启动的。利用回读功能可以读取寄存器的内容。

散热和电源考量

AD5410/AD5420设计的最大工作结温为125°C，必须确保器件不在可能引起结温超过此值的条件下工作。如果AD5410/AD5420采用最大AV_{DD}工作，同时将最大电流(24 mA)直接驱动到地，则可能使结温超过此值。这种情况下，应当控制环境温度或者降低AV_{DD}。

在最大环境温度85°C下，24引脚TSSOP的功耗可达1.14 W，40引脚LFCSP的功耗可达1.21 W。

将最大电流24 mA直接驱动到地时(同时增加4 mA的片内电流)，为了确保结温不超过125°C，必须将AV_{DD}从最大额定值降低，确保封装需要消耗的功率不超过上述值的功率(见表21、图53和图54)。

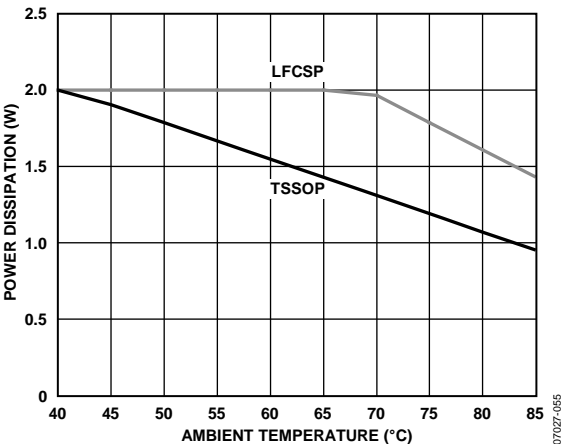


图53. 最大功耗与环境温度的关系

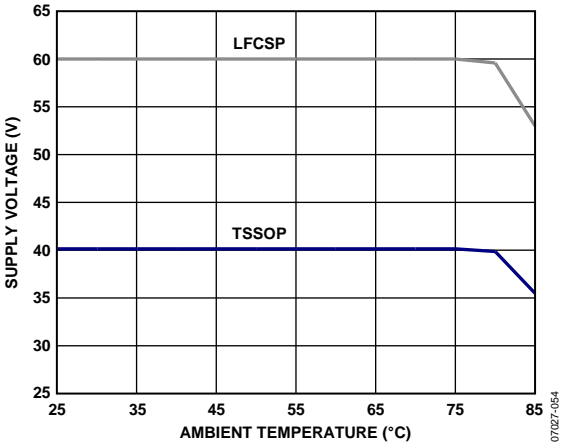


图54. 最大电源电压与环境温度的关系

表21. 散热和电源考虑

要点	TSSOP	LFCSP
在环境温度85°C下工作的最大容许功耗	$\frac{T_{J \text{ max}} - T_A}{\Theta_{JA}} = \frac{125 - 85}{35} = 1.14 \text{ W}$	$\frac{T_{J \text{ max}} - T_A}{\Theta_{JA}} = \frac{125 - 85}{33} = 1.21 \text{ W}$
采用40 V/60 V电源供电并将24 mA直接驱动到地时的最大容许环境温度	$T_{J \text{ max}} - P_D \times \Theta_{JA} = 125 - (40 \times 0.028) \times 35 = 86^\circ \text{C}$	$T_{J \text{ max}} - P_D \times \Theta_{JA} = 125 - (60 \times 0.028) \times 33 = 70^\circ \text{C}$
在环境温度85°C下工作并将24 mA直接驱动到地时的最大容许电源电压	$\frac{T_{J \text{ max}} - T_A}{AI_{DD} \times \Theta_{JA}} = \frac{125 - 85}{0.028 \times 35} = 40 \text{ V}$	$\frac{T_{J \text{ max}} - T_A}{AI_{DD} \times \Theta_{JA}} = \frac{125 - 85}{0.028 \times 33} = 43 \text{ V}$

外形尺寸

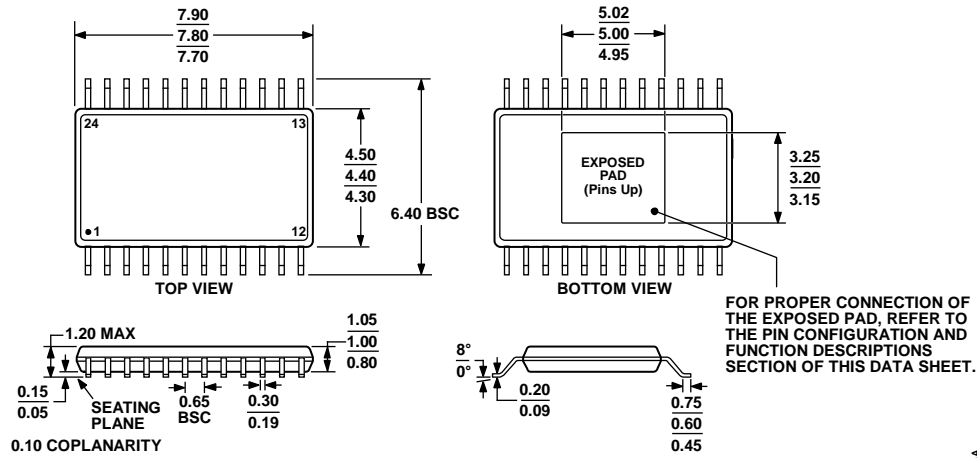


图56. 24引脚超薄紧缩小型封装、裸露焊盘[TSSOP_EP]
(RE-24)

尺寸单位: mm

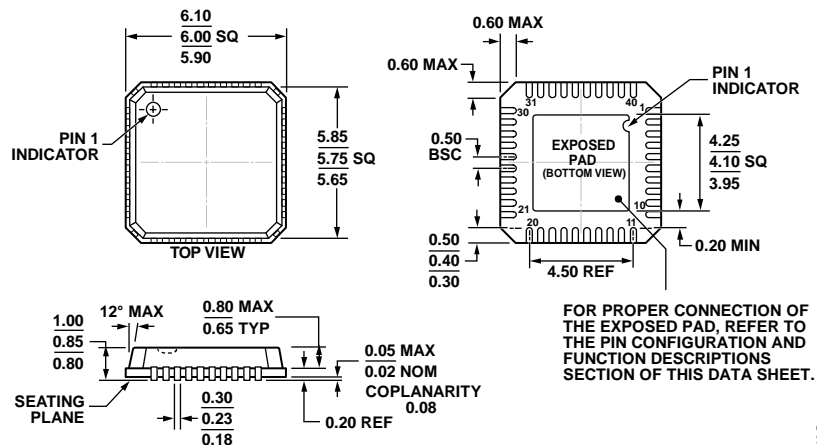


图57. 40引脚LFCSP_VQ封装,
6 mm x 6 mm超薄
(CP-40-1),

尺寸单位: mm

订购指南

型号 ¹	温度范围	分辨率	总非调整误差(TUE)	封装描述	封装选项
AD5410AREZ	-40°C至+85°C	12位	最大值0.3%	24引脚 TSSOP_EP	RE-24
AD5410AREZ-REEL7	-40°C至+85°C	12位	最大值0.3%	24引脚 TSSOP_EP	RE-24
AD5410ACPZ-REEL	-40°C至+85°C	12位	最大值0.3%	40引脚 LFCSP_VQ	CP-40-1
AD5410ACPZ-REEL7	-40°C至+85°C	12位	最大值0.3%	40引脚 LFCSP_VQ	CP-40-1
AD5420AREZ	-40°C至+85°C	16位	最大值0.15%	24引脚 TSSOP_EP	RE-24
AD5420AREZ-REEL7	-40°C至+85°C	16位	最大值0.15%	24引脚 TSSOP_EP	RE-24
AD5420ACPZ-REEL	-40°C至+85°C	16位	最大值0.15%	40引脚 LFCSP_VQ	CP-40-1
AD5420ACPZ-REEL7	-40°C至+85°C	16位	最大值0.15%	40引脚 LFCSP_VQ	CP-40-1
EVAL-AD5420EBZ				评估板	

¹ Z = 符合RoHS标准的兼容器件。

注释

注释

注释