

第 2-0 讲：原理框架描述

1. 学习目的

1. 掌握 PK107D 开发板驱动电路框架的设计：用户指示灯、步进电机、继电器、蜂鸣器、8 位数码管等。
2. 掌握锁存器和译码器的作用，并使用他们实现 I/O 的输出扩展。

2. 概述

PK107D 开发板需要控制的对象很多，有用户指示灯、步进电机、继电器、蜂鸣器、8 位数码管等，但单片机 I/O 口数量有限，这就需要对 I/O 口进行扩展，以便使用有限的 I/O 控制多个电路单元。

对于单片机来说，驱动指示灯、步进电机、继电器、蜂鸣器和 8 位数码管都是 I/O 输出驱动，因此，开发板上实现的是 I/O 的输出扩展，接下来，我们看一下具体的实现方法。

1. P0 端口共 8 个 I/O，无法直接控制指示灯、步进电机、继电器、蜂鸣器、数码管。

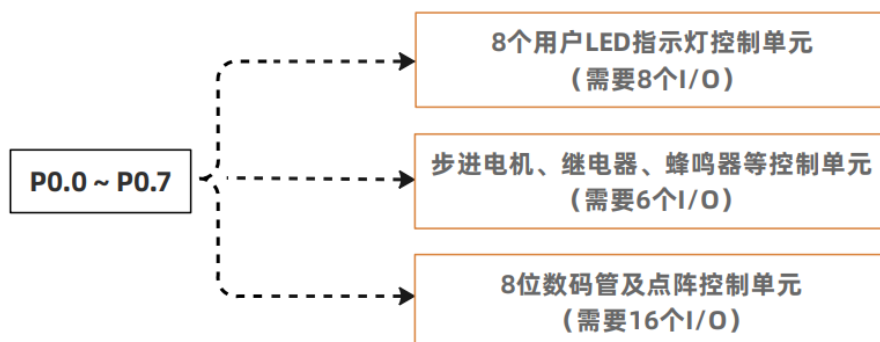


图 1：控制需求说明示意图

2. 通过译码器和锁存器实现 I/O 输出扩展。

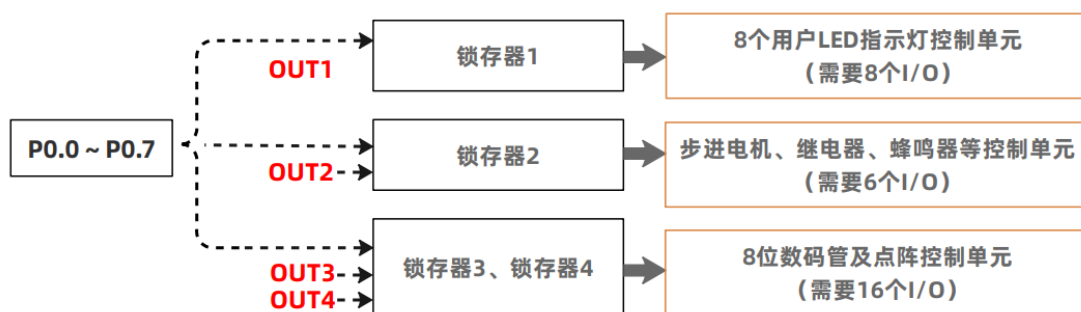


图 2：锁存器方案示意图

- ✧ 说明：OUT1、OUT2、OUT3、OUT4 在不同时间控制对应锁存器输出 P0 信号，可以使用单片机其他的 I/O 口为 OUT 控制信号，但为了节省 I/O 口资源，我们使用了 38 译码器。

3. 74HC138 译码器

38 译码器是一种将 3 位二进制编码转换成 8 个输出信号的逻辑电路元件，广泛应用于数字电路设计和逻辑控制系统中。74HC138 集成电路是比较常用的 38 译码器，同样，为了节省 I/O 口，74HC138 的使能控制端在硬件上均设置为恒有效（E1、E2 连接 GND，恒为低电平；E3 连接 VCC，恒为高电平）。因此，程序中操作控制对象时只需控制三个地址数据输入端（A0、A1、A2）去选中 4 个锁存器即可。

三个地址数据输入端（A0、A1、A2）是如何选中 8 个数码管中的一个的，这就要看 74HC138 译码器的真值表了（74HC138 译码器的真值表如下图所示）。

输入						输出							
$\overline{E1}$	$\overline{E2}$	E3	A0	A1	A2	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H: 高电平 L: 低电平 X: 任意电平

图 3: 74HC138 真值表

由 74HC138 译码器的真值表可以看出，当 74HC138 使能后，A0、A1、A2 的输入电平决定了 Y0~Y7 的输出（低电平有效），而且从 Y0 到 Y7 是和 A2、A1、A0 的值对应的，因此，当我们需要 Y0~Y7 中某个输出端输出低电平时，输入端 A2、A1、A0 输入对应的数值即可，如需要 Y1 输出低电平，则 A2、A1、A0 输入为 001（16 进制：0x01）即可。

4. 锁存器 74HC573

74HC573 是拥有八路输出的透明锁存器，输出为三态门，是一种高性能硅栅 CMOS 器件。当输入的数据消失时，在芯片的输出端，数据仍然保持，这就是锁存器的数据锁存功能。该功能在并行数据扩展中被广泛使用。

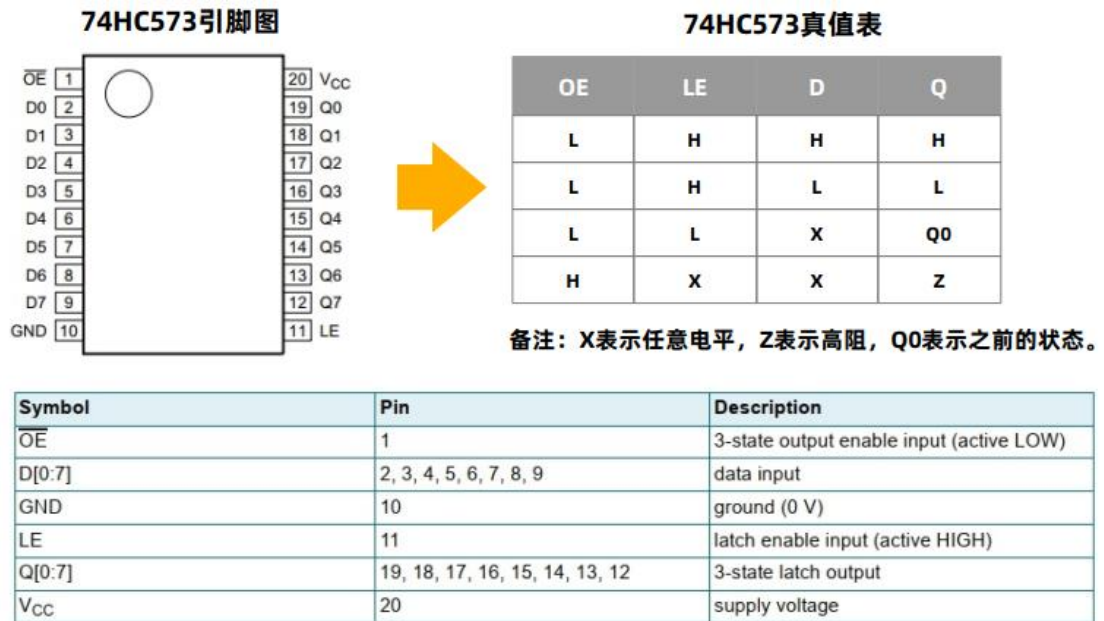
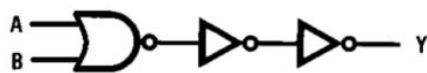


图 4：74HC573 引脚示意及真值表

5. 或非门 74HC02

或非门是数字逻辑电路中的基本元件，实现逻辑或非功能。有 2 个输入端，1 个输出端，多输入或非门可由 2 输入或非门和反相器构成。只有当两个输入 A 和 B 为低电平（逻辑 0）时输出为高电平（逻辑 1）。可以理解为任意输入为高电平（逻辑 1），则输出为低电平（逻辑 0）。



$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H=High logic level

L=low logic level

图 5：或非门原理逻辑图及真值表

74HC02 是一款内部集成有 4 组 2 输入端或非门电路，每组门电路均设计成缓冲推挽输出，具有较强的抗干扰和驱动能力。如下图所示。

管脚序号	管脚定义	管脚序号	管脚定义
DIP14/SOP14		DIP14/SOP14	
1	Y1	14	VCC
2	A1	13	Y4
3	B1	12	B4
4	Y2	11	A4
5	A2	10	Y3
6	B2	9	B3
7	GND	8	A3

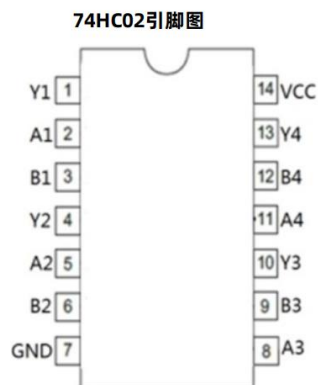


图 6: 74HC02 引脚图及定义

6. PK107D 开发板框架电路原理

PK107D 开发板用 74HC138 作为译码器，译码器的 8 个输出信号只用到 4 个，分别是 Y4、Y5、Y6、Y7，该 4 个信号再通过 74HC02 或非门产生可以控制 4 个锁存器的控制信号。如下图所示。

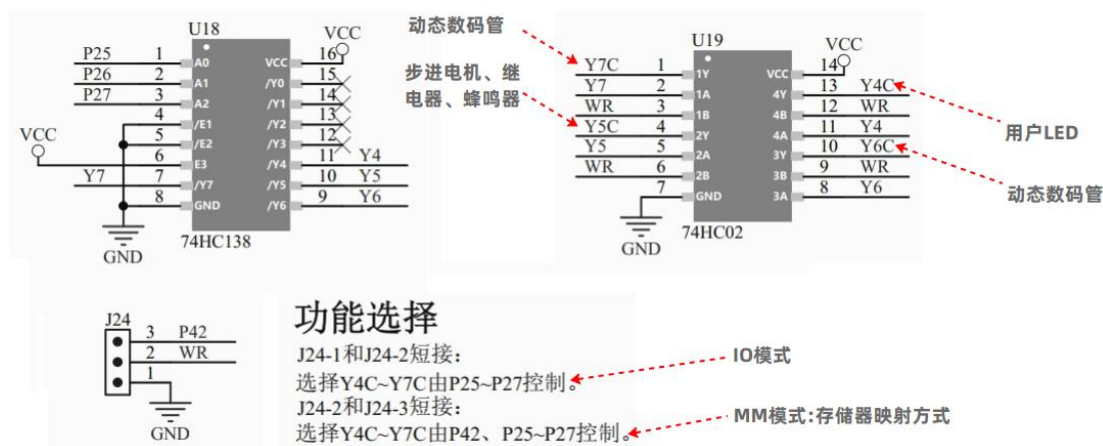


图 7: PK107 开发板 38 译码器电路

✧ 注：J24 端子默认选择 I/O 模式，提供的程序源码也都是基于 I/O 模式来写的，所以一定要注意硬件该端子的短路帽选择。

PK107D 开发板用 P25、P26、P27 作为译码器 74HC138 地址数据输入端，得出控制 U2、U11、U13、U14 锁存器的控制信号。如下图所示。

表 1: 开发板控制锁存器分析表

P25	P26	P27	OUTPUT	备注(J24 将 WR 选择为 L)
L	L	H	Y4=L,Y5=H,Y6=H,Y7=H	Y4C=H,即打开 U2 锁存器(用户 LED)
H	L	H	Y4=H,Y5=L,Y6=H,Y7=H	Y5C=H,即打开 U11 锁存器(U1N2003)
L	H	H	Y4=H,Y5=H,Y6=L,Y7=H	Y6C=H,即打开 U13 锁存器(8 位数数码管)
H	H	H	Y4=H,Y5=H,Y6=H,Y7=L	Y7C=H,即打开 U14 锁存器(8 位数数码管)